

日 本 国 特 許 庁
JAPAN PATENT OFFICE

23. 6. 2004

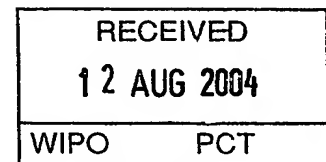
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 5 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 4 - 1 6 0 1 9 1
Application Number:
[ST. 10/C]: [J P 2 0 0 4 - 1 6 0 1 9 1]

出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

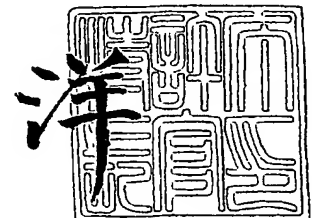


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 7 月 2 9 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 2110050152
【提出日】 平成16年 5月28日
【あて先】 特許庁長官殿
【国際特許分類】 G09G 3/28
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 庄司 秀彦
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 大平 一雄
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 谷口 啓成
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100098305
 【弁理士】
 【氏名又は名称】 福島 祥人
 【電話番号】 06-6330-5625
【先の出願に基づく優先権主張】
 【出願番号】 特願2003-273800
 【出願日】 平成15年 7月11日
【手数料の表示】
 【予納台帳番号】 032920
 【納付金額】 16,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0006013

【書類名】 特許請求の範囲**【請求項 1】**

複数群に分類された第 1 の電極と、

前記第 1 の電極に交差するように設けられた第 2 の電極と、

前記第 1 の電極と前記第 2 の電極との交差部に設けられた複数の容量性発光素子を含む表示パネルと、

前記複数群で互いに位相差が生じるように、それぞれ前記複数群の第 1 の電極に選択された容量性発光素子を発光させるためのデータパルスを印加するドライブ回路とを備え、

前記ドライブ回路は、

回収用容量性素子と、

前記回収用容量性素子から前記第 1 の電極に電荷を放出し、または前記第 1 の電極からの電荷を前記回収用容量性素子に回収することにより、前記第 1 の電極にデータパルスを印加するための駆動パルスを印加する印加回路と、

前記回収用容量性素子に回収される電荷の量を制限することにより前記回収用容量性素子の電位が所定値を超えないように制限する電位制限回路とを含むことを特徴とする表示装置。

【請求項 2】

複数群に分類された第 1 の電極と、

前記第 1 の電極に交差するように設けられた第 2 の電極と、

前記第 1 の電極と前記第 2 の電極との交差部に設けられた複数の容量性発光素子を含む表示パネルと、

前記複数群で互いに位相差が生じるように、それぞれ前記複数群の第 1 の電極に選択された容量性発光素子を発光させるためのデータパルスを印加するドライブ回路とを備え、

前記ドライブ回路は、

誘導性素子と、

回収用容量性素子と、

前記表示パネルの容量と前記誘導性素子との共振動作により前記回収用容量性素子から電荷を前記第 1 の電極に放出して、または前記第 1 の電極から前記誘導性素子を介して前記回収用容量性素子へ電荷を回収することにより前記複数群の第 1 の電極にデータパルスを印加するための駆動パルスを前記第 1 のノードに印加する印加回路と、

前記回収用容量性素子に回収される電荷の量を制限することにより前記回収用容量性素子の電位が所定値を超えないように制限する電位制限回路とを含むことを特徴とする表示装置。

【請求項 3】

複数群に分類された第 1 の電極と、

前記第 1 の電極に交差するように設けられた第 2 の電極と、

前記第 1 の電極と前記第 2 の電極との交差部に設けられた複数の容量性発光素子を含む表示パネルと、

前記複数群で互いに位相差が生じるように、それぞれ前記複数群の第 1 の電極に選択された容量性発光素子を発光させるためのデータパルスを印加するドライブ回路とを備え、

前記ドライブ回路は、

第 1 の電源電圧を受ける第 1 の電源端子と、

誘導性素子と、

回収用容量性素子と、

前記表示パネルの容量と前記誘導性素子との共振動作により前記回収用容量性素子から電荷を放出して第 1 のノードの電位を立ち上げ、前記第 1 のノードと前記第 1 の電源端子とを接続した後、前記第 1 のノードと前記第 1 の電源端子との接続を遮断し、前記共振動作により前記第 1 のノードから前記誘導性素子を介して前記回収用容量性素子へ電荷を回収して前記第 1 のノードの電位を立ち下げることにより、前記複数群の第 1 の電極にデータパルスを印加するための駆動パルスを前記第 1 のノードに印加する印加回路と、

前記回収用容量性素子に回収される電荷の量を制限することにより前記回収用容量性素子の電位が前記第1の電源電圧よりも低い所定値を超えないように制限する電位制限回路とを含むことを特徴とする表示装置。

【請求項4】

前記誘導性素子は、前記第1のノードと第2のノードとの間に設けられ、

前記回収用容量性素子は、第3のノードに接続され、

前記電位制限回路は、前記第3のノードの電位を制限することにより、前記回収用容量素子の電位が前記所定値を超えないように制限し、

前記印加回路は、

前記第1の電源端子と前記第1のノードとの間に設けられた第1のスイッチング素子と

、
接地電位を受ける接地端子と前記第1のノードとの間に設けられた第2のスイッチング素子と、

前記第2のノードと前記第3のノードとの間に設けられた第3のスイッチング素子と、

前記第2のノードと前記第3のノードとの間に設けられた第4のスイッチング素子とを含み、

前記表示パネルの選択された前記容量性発光素子を発光させるためのアドレス期間において、前記第3のスイッチング素子がオンすることにより前記回収用容量性素子から前記誘導性素子を通して前記第1のノードに電荷が放出され、前記第1のノードの電位が立ち上がり、前記第3のスイッチング素子がオフして、前記第1のスイッチング素子がオンすることにより前記第1のノードの電位が前記第1の電源電圧に立ち上がり、前記第1のスイッチング素子がオフして、前記第4のスイッチング素子がオンすることにより前記第1のノードから前記誘導性素子を通して前記回収用容量性素子に電荷が回収されて前記第1のノードの電位が立ち下がることにより、前記駆動パルスが発生することを特徴とする請求項3記載の表示装置。

【請求項5】

前記ドライブ回路は、前記第1の電極に対応して設けられる第1のスイッチング回路をさらに含み、

前記第1のスイッチング回路がオンすることにより、前記第1のノードと前記第1の電極との間で電荷の回収および放出が行われ、前記第1のスイッチング回路がオフすることにより、対応する前記第1の電極が接地電位に設定されるように動作することを特徴とする請求項3または4記載の表示装置。

【請求項6】

前記電位制限回路は、

前記第1の電源電圧と接地電位との間の電圧を分割することにより前記所定値にほぼ等しい電位を生成する分割回路と、

前記第3のノードと前記接地端子との間に接続されるとともに前記分割回路により生成される電位を制御信号として受け、前記第3のノードの電位が前記所定値を超える場合にオンする第2のスイッチング回路とを含むことを特徴とする請求項4～5のいずれかに記載の表示装置。

【請求項7】

前記電位制限回路は、

前記所定値にほぼ等しい第2の電源電圧を受ける第2の電源端子と、

前記第3のノードと前記接地端子との間に接続されるとともに前記第2の電源端子が受ける前記第2の電源電圧を制御信号として受け、前記第3のノードの電位が前記所定値を超える場合にオンする第2のスイッチング回路とを含むことを特徴とする請求項4～6のいずれかに記載の表示装置。

【請求項8】

前記第2のスイッチング回路は、

前記第3のノードと第4のノードとの間に設けられ、前記第3のノードから前記第4の

ノードへ電流を流す一方向性導通素子と、

前記第4のノードと前記接地端子との間に設けられ、前記制御信号を受ける制御端子を有する第5のスイッチング素子とを含むことを特徴とする請求項6または7記載の表示装置。

【請求項9】

前記電位制限回路は、

前記第3のノードと前記接地端子との間に設けられ、前記第3のノードの電位が前記所定値を超える場合に前記第3のノードから前記接地端子に電流を流す一方向性導通素子を含むことを特徴とする請求項4～8のいずれかに記載の表示装置。

【請求項10】

前記一方向性導通素子は、ツェナーダイオードであることを特徴とする請求項9記載の表示装置。

【請求項11】

前記第1のスイッチング素子をオンするために、前記第1のノードの電位よりも高い電位を発生するチャージポンプ回路をさらに備えることを特徴とする請求項4～10のいずれかに記載の表示装置。

【請求項12】

前記チャージポンプ回路は、

前記第1のノードと第5のノードとの間に設けられる充電容量素子と、

第3の電源電圧を受ける第3の電源端子と前記第5のノードとの間に設けられ、前記第2の電源端子から前記第5のノードに電流を流す一方向性導通素子と、

前記第1のノードの電位に前記第5のノードの電位を加算し、加算された電位を前記第1のスイッチング素子に制御信号として出力する制御信号出力回路とを含むことを特徴とする請求項11記載の表示装置。

【請求項13】

前記所定値は、前記第1の電源電圧の2分の1よりも高く、前記第1の電源電圧の5分の4以下であることを特徴とする請求項3～12のいずれかに記載の表示装置。

【請求項14】

前記位相差は、200ns以上であることを特徴とする請求項3～13のいずれかに記載の表示装置。

【請求項15】

前記ドライブ回路を複数有し、

複数の前記ドライブ回路は前記複数群にそれぞれ対応して設けられ、

複数の前記ドライブ回路は、前記複数群で互いに位相差が生じるようにそれぞれ前記複数群の前記第1の電極に選択された容量性発光素子を発光させるためのデータパルスを印加することを特徴とする請求項3～14のいずれかに記載の表示装置。

【請求項16】

前記第1の電極に印加されるデータパルスの立ち上がりの回数または立ち下がりの回数を検出する回数検出部をさらに備え、

前記ドライブ回路は、

データパルスの立ち上がり可能な最大の回数または立ち下がり可能な最大の回数に対する前記回数検出部により検出された前記回数の比率を算出し、前記比率が所定の比率値よりも大きい場合に、前記第1のノードの電位を所定の電圧値まで立ち下げた後、前記第1のノードを接地するように前記印加回路の動作を制御する制御部をさらに含むことを特徴とする請求項3～15のいずれかに記載の表示装置。

【請求項17】

1フィールドを複数のサブフィールドに分割してサブフィールドごとに選択された前記容量性発光素子を放電させて階調表示を行うために、1フィールドの画像データを各サブフィールドの画像データに変換する変換部をさらに備え、

前記回数検出部は、前記変換部から与えられる画像データに基づいて各サブフィールド

ごとの前記回数を検出し、

前記制御部は、

各サブフィールドにおけるデータパルスの立ち上がり可能な最大の回数または立ち下がり可能な最大の回数に対する前記回数検出部により得られた前記回数の比率を算出し、前記比率が所定の比率値よりも大きい場合に、前記第1のノードの電位を所定の電圧値まで立ち下げた後、前記第1のノードを接地するように前記印加回路の動作を制御することを特徴とする請求項16記載の表示装置。

【請求項18】

前記所定の比率値は95%以上であることを特徴とする請求項16または17記載の表示装置。

【請求項19】

複数群に分類された第1の電極、前記第1の電極に交差するように設けられた第2の電極および前記第1の電極と前記第2の電極との交差部に設けられた複数の容量性発光素子を備える表示パネルを含む表示装置の駆動方法であって、

前記複数群で互いに位相差が生じるように、それぞれ前記複数群の第1の電極に選択された容量性発光素子を発光させるためのデータパルスを印加するステップを備え、

前記データパルスを印加するステップは、

前記表示パネルの容量と誘導性素子との共振動作により回収用容量性素子から電荷を放出して第1のノードの電位を立ち上げ、前記第1のノードと第1の電源端子とを接続した後、前記第1のノードと前記第1の電源端子との接続を遮断し、前記共振動作により前記第1のノードから前記誘導性素子を介して前記回収用容量性素子へ電荷を回収して前記第1のノードの電位を立ち下げることにより、前記複数群の第1の電極にデータパルスを印加するための駆動パルスを前記第1のノードに印加するステップと、

前記回収用容量性素子に回収される電荷の量を制限することにより前記回収用容量性素子の電位が前記第1の電源電圧よりも低い所定値を超えないように制限するステップとを含むことを特徴とする表示装置の駆動方法。

【請求項20】

前記第1の電極に印加されるデータパルスの立ち上がりの回数または立ち下がりの回数を検出するステップと、

データパルスの立ち上がり可能な最大の回数または立ち下がり可能な最大の回数に対する検出された前記回数の比率を算出し、前記比率が所定の比率値よりも大きい場合に、前記第1のノードの電位を所定の電圧値まで立ち下げた後、前記第1のノードを接地するように前記印加回路の動作を制御するステップとをさらに備えることを特徴とする請求項19記載の表示装置の駆動方法。

【請求項21】

前記所定の比率値は95%以上であることを特徴とする請求項20記載の表示装置の駆動方法。

【請求項22】

前記所定値は、前記第1の電源電圧の2分の1よりも高く、前記第1の電源電圧の5分の4以下であることを特徴とする請求項19～21のいずれかに記載の表示装置の駆動方法。

【書類名】明細書

【発明の名称】表示装置およびその駆動方法

【技術分野】

【0001】

本発明は、複数の放電セルを選択的に放電させて画像を表示する表示装置およびその駆動方法に関する。

【背景技術】

【0002】

画像を表示する表示装置の分野において、プラズマディスプレイパネル（以下、PDPと略記する。）を用いたプラズマディスプレイ装置は、薄型化および大画面化が可能であるという利点を有する。このプラズマディスプレイ装置では、画素を構成する放電セルの放電の際の発光を利用することにより画像を表示している。

【0003】

プラズマディスプレイ装置は、駆動形式によりAC型およびDC型に大別される。

【0004】

図29は、従来のAC型プラズマディスプレイ装置の基本構成を示すブロック図である。

【0005】

図29のプラズマディスプレイ装置900は、アナログ／デジタル変換器（以下、A/Dコンバータと呼ぶ。）910、映像信号－サブフィールド対応付け器920、サブフィールド処理器930、データドライバ940、スキャンドライバ950、サステインドライバ960およびPDP970を備える。

【0006】

A/Dコンバータ910には、アナログの映像信号VDが与えられる。A/Dコンバータ910は、映像信号VDをデジタルの画像データに変換し、映像信号－サブフィールド対応付け器920へ与える。映像信号－サブフィールド対応付け器920は、1フィールドを複数のサブフィールドに分割して表示するため、1フィールドの画像データから各サブフィールドの画像データSPを生成し、サブフィールド処理器930へ与える。

【0007】

サブフィールド処理器930は、サブフィールドごとの画像データSPからデータドライバ駆動制御信号DS、スキャンドライバ駆動制御信号CSおよびサステインドライバ駆動制御信号USを生成し、それぞれデータドライバ940、スキャンドライバ950およびサステインドライバ960へ与える。

【0008】

PDP970は、複数のアドレス電極（データ電極）911、複数のスキャン電極（走査電極）912および複数のサステイン電極（維持電極）913を含む。複数のアドレス電極911は、画面の垂直方向に配列され、複数のスキャン電極912および複数のサステイン電極913は、画面の水平方向に配列されている。また、複数のサステイン電極913は、共通に接続されている。

【0009】

アドレス電極911、スキャン電極912およびサステイン電極913の各交点には、放電セル914が形成され、各放電セル914が画面上の画素を構成する。

【0010】

データドライバ940は、PDP970の複数のアドレス電極911に接続されている。スキャンドライバ950は、各スキャン電極912ごとに設けられた駆動回路を内部に備え、各駆動回路がPDP970の対応するスキャン電極912に接続されている。サステインドライバ960は、PDP970の複数のサステイン電極913に接続されている。

【0011】

データドライバ940は、データドライバ駆動制御信号DSに従い、書き込み期間にお

いて、画像データSPに応じてPDP970の該当するアドレス電極911にデータパルス印加する。スキヤンドライバ950は、スキヤンドライバ駆動制御信号CSに従い、書き込み期間において、シフトパルスを垂直走査方向にシフトしつつPDP970の複数のスキヤン電極912に書き込みパルスを順に印加する。これにより、該当する放電セル914においてアドレス放電が行われる。

【0012】

また、スキヤンドライバ950は、スキヤンドライバ駆動制御信号CSに従い、維持期間において、周期的な維持パルスをPDP970の複数のスキヤン電極912に印加する。一方、サステインドライバ960は、サステインドライバ駆動制御信号USに従い、維持期間において、PDP970の複数のサステイン電極913に、スキヤン電極912の維持パルスに対して180°位相のずれた維持パルスを同時に印加する。これにより、該当する放電セル914において維持放電が行われる。

【0013】

図30は、図29のPDP7におけるアドレス電極、スキヤン電極およびサステイン電極の駆動電圧の一例を示すタイミング図である。

【0014】

初期化期間には、複数のスキヤン電極912に初期セットアップパルスPsetが同時に印加される。その後、書き込み期間において、映像信号に応じてオンまたはオフするデータパルスPdaが各アドレス電極911に印加され、このデータパルスPdaに同期して複数のスキヤン電極912に書き込みパルスPwが順に印加される。これにより、PDP970の選択された放電セル914において順次アドレス放電が起こる。

【0015】

次に、維持期間において、複数のスキヤン電極912に維持パルスPscが周期的に印加され、複数のサステイン電極913に維持パルスPsuが周期的に印加される。維持パルスPsuの位相は、維持パルスPscの位相に対して180°ずれている。これにより、アドレス放電に続いて維持放電が起こる。

【0016】

このようなプラズマディスプレイ装置においては、近年、大画面化および高精細化に伴う放電セル14の数の増加（画素の増加）が顕著である。放電セル14の数が増加することにより、アドレス放電時に1つのスキヤン電極912上に流れるアドレス放電電流のピーク電流値が増大する場合がある。アドレス放電電流のピーク電流値が増大すると、スキヤン電極912に印加される書き込みパルスPwに大きな電圧降下が発生する。その結果、アドレス放電が不安定となる。したがって、安定したアドレス放電を行うためにはスキヤン電極912に印加すべき書き込みパルスPwの電圧SH2を高く設定しなければならない。

【0017】

これに対し、アドレス放電電流のピーク電流値を低減させる方法として、図29のデータドライバ940を複数に分割し、複数のデータドライバ間でアドレス電極に印加するデータパルスPdaへ位相差を与えるプラズマディスプレイパネルの駆動方法が提案されている（例えば、特許文献1参照）。

【0018】

このプラズマディスプレイパネルの駆動方法について説明する。

【0019】

図31は複数に分割されたデータドライバにより構成されるプラズマディスプレイ装置のPDP970の表示状態の一例を示す模式図であり、図32はデータパルス位相差に対するアドレス放電電流の依存性を説明するための図である。データパルス位相差は後述する。

【0020】

図31において、第1および第2のデータドライバ940a, 940bは図29のサブフィールド処理器930に接続されている。PDP970は、複数のアドレス電極911

a, 911bを含む他は図29のPDP970と同様の構成を有する。

【0021】

第1のデータドライバ940aが図30のデータパルスPdaをアドレス電極911aに印加するタイミングと、第2のデータドライバ940bが図30のデータパルスPdaをアドレス電極911bに印加するタイミングとの間のずれTRについて図32を参照しながら説明する。

【0022】

以下の説明において、第1および第2のデータドライバ940a, 940bの各々が、データパルスPdaをアドレス電極911a, 911bに印加するタイミングをデータパルス印加タイミングと呼ぶ。また、アドレス電極911aに対するデータパルス印加タイミングとアドレス電極911bに対するデータパルス印加タイミングとのずれTRをデータパルス位相差TRと呼ぶ。

【0023】

図31では、PDP970上の放電セル914のうち上から第1行目のスキャン電極912f上の放電セル914の全てが発光している。

【0024】

上から第1行目のスキャン電極912f上の放電セル914を発光させる場合を想定する。図32(a)に示すように、データパルス位相差TRが存在しない場合、アドレス電極911a上の放電セル914とアドレス電極911b上の放電セル914とは、同じタイミングt1でアドレス放電を起こす。それにより、スキャン電極912fには1つのピークを有する放電電流DA2が発生する。

【0025】

この場合、スキャン電極912fには、アドレス電極911a上の放電セル914およびアドレス電極911b上の放電セル914の放電電流が同時に流れるため、放電電流DA2の振幅AM2は、大きくなる。それにより、スキャン電極912fに印加される書き込みパルスPwに大きな電圧降下E2が発生する。その結果、上述のようにアドレス放電が不安定となる。

【0026】

これに対し、図32(b)に示すように、データパルス位相差TRが存在する場合、アドレス電極911a上の放電セル914は、タイミングt1でアドレス放電を起こし、アドレス電極911b上の放電セル914は、タイミングt2でアドレス放電を起こす。それにより、スキャン電極912fには2つのピークを有する放電電流DA1が発生する。

【0027】

この場合、スキャン電極912fには、アドレス電極911a上の放電セル914の放電電流およびアドレス電極911b上の放電セル914の放電電流が異なるタイミングt1, t2で流れるため、放電電流DA1の振幅AM1は、データパルス位相差TRが大きくなるにつれて小さくなる。それにより、スキャン電極912fに印加される書き込みパルスPwに発生する電圧降下量E1もデータパルス位相差TRが大きくなるにつれて小さくなる。したがって、スキャン電極912fに印加すべき書き込みパルスPwの電圧SH1を低く設定した場合でも、安定した放電を確保することができる。換言すれば、データパルス位相差TRを大きく設定することにより、放電セル914の安定した放電を確保しつつ書き込みパルスPwの電圧(駆動電圧)を低減することができる。

【0028】

ところで、図29のプラズマディスプレイ装置900では、PDP970の複数の放電セル914がコンデンサの働きを有する。以下、PDP970の複数の放電セル914の容量をパネル容量と呼ぶ。

【0029】

上記の書き込み期間において、各アドレス電極911にデータパルスPdaが印加される際のデータドライバ940における回路損失(電力損失)は、パネル容量と各アドレス電極911に印加される駆動電圧の二乗との積に比例する。この関係を数式で表すと次の

ようになる。

【0030】

$$P \propto C_p \times V_p^2 \quad \dots (1)$$

上式(1)において、 P は回路損失であり、 C_p はパネル容量であり、 V_p は駆動電圧である。この場合、駆動電圧 V_p はデータパルス Pda の電圧である。

【0031】

したがって、書き込み期間におけるプラズマディスプレイ装置900全体の消費電力は、PDP970の大型化(パネル容量の増加)および駆動電圧の上昇にともない増加する。そこで、プラズマディスプレイ装置900の消費電力を低減する(回路損失を低減する)ために電力回収回路が開発されている。

【0032】

図33は、従来の電力回収回路の一例を示す回路図である。図33において、電力回収回路980は図29のデータドライバ940に内蔵されたデータドライバ集積回路と接続されている。また、データドライバ集積回路は、PDP970の複数のアドレス電極911に接続されている。

【0033】

なお、図33では、各アドレス電極911により形成される複数の放電セル914の容量をアドレス電極容量 $C_{p1} \sim C_{pn}$ とし、これらの総和をパネル容量 C_p として表す。

【0034】

電力回収回路980は、回収コンデンサ C_1 、回収コイル L 、 N チャネル電界効果トランジスタ(以下、トランジスタと略記する。) $Q_1 \sim Q_4$ およびダイオード D_1 、 D_2 を含む。

【0035】

回収コンデンサ C_1 は、ノード N_3 と接地端子との間に接続されている。ノード N_3 とノード N_2 との間にトランジスタ Q_4 およびダイオード D_2 が直列に接続され、ノード N_2 とノード N_3 との間にダイオード D_1 およびトランジスタ Q_3 が直列に接続されている。

【0036】

回収コイル L は、ノード N_2 とノード N_1 との間に接続されている。ノード N_1 と電源端子 V_1 との間にトランジスタ Q_1 が接続され、ノード N_1 と接地端子との間にトランジスタ Q_2 が接続されている。

【0037】

電源端子 V_1 には電源電圧 Vda が与えられる。トランジスタ $Q_1 \sim Q_4$ のゲートには、それぞれ制御信号 $S_1 \sim S_4$ が与えられる。トランジスタ $Q_1 \sim Q_4$ は制御信号 $S_1 \sim S_4$ に基づいてオン/オフの切替動作を行う。

【0038】

図34は、図33の電力回収回路980の書き込み期間の動作を示すタイミング図である。図34には、図33のノード N_1 の電圧 NV_1 およびトランジスタ $Q_1 \sim Q_4$ の各々に印加される制御信号 $S_1 \sim S_4$ の波形が示されている。なお、制御信号 $S_1 \sim S_4$ がハイレベルの場合にトランジスタ $Q_1 \sim Q_4$ はオンし、制御信号 $S_1 \sim S_4$ がローレベルの場合にトランジスタ $Q_1 \sim Q_4$ はオフする。

【0039】

期間 TA において、制御信号 S_3 はハイレベルであり、制御信号 S_1 、 S_2 、 S_4 はローレベルである。これにより、トランジスタ Q_3 がオンし、トランジスタ Q_1 、 Q_2 、 Q_4 がオフする。この場合、回収コンデンサ C_1 がトランジスタ Q_3 およびダイオード D_1 を介して回収コイル L に接続され、回収コイル L およびパネル容量 C_p による LC 共振により、ノード N_1 の電圧 NV_1 が緩やかに上昇する。このとき、回収コンデンサ C_1 の電荷がトランジスタ Q_3 、ダイオード D_1 および回収コイル L を介してパネル容量 C_p へ放出される。

【0040】

期間TBにおいて、制御信号S1はハイレベルであり、制御信号S2～S4はローレベルである。これにより、トランジスタQ1がオンし、トランジスタQ2～Q4がオフする。この場合、ノードN1の電圧NV1が急激に上昇し、電源電圧Vdaに固定される。

【0041】

期間TCにおいて、制御信号S4はハイレベルであり、制御信号S1～S3はローレベルである。これにより、トランジスタQ4がオンし、トランジスタQ1～Q3がオフする。この場合、回収コンデンサC1がダイオードD2およびトランジスタQ4を介して回収コイルLに接続され、回収コイルLおよびパネル容量CpによるLC共振により、ノードN1の電圧NV1が緩やかに下降する。このとき、パネル容量Cpに蓄えられた電荷は回収コイルL、ダイオードD2およびトランジスタQ4を介して回収コンデンサC1に蓄えられる。これにより、電力が回収される。

【0042】

期間TDにおいて、制御信号S2はハイレベルであり、制御信号S1, S3, S4はローレベルである。これにより、トランジスタQ2がオンし、トランジスタQ1, Q3, Q4がオフする。この場合、ノードN1が接地端子に接続され、ノードN1の電圧NV1が急激に下降し、接地電位に固定される。

【0043】

このように、電力回収回路980によれば、パネル容量Cpに蓄積された電荷が回収コンデンサC1に回収されるとともに、回収された電荷が再びパネル容量Cpに与えられる。以下、パネル容量Cpより回収コンデンサC1に回収された電荷に基づく電力を回収電力と呼ぶ。

【0044】

これにより、上述の回路損失を低減することが可能となり、プラズマディスプレイ装置900全体の消費電力を低減することができる。なお、図34においては、矢印RQで示す電圧変化が回収電力に相当し、矢印LQで示す電圧変化が回路損失に相当する。

【特許文献1】特開平8-305319号公報

【特許文献2】特開2002-156941号公報

【発明の開示】

【発明が解決しようとする課題】

【0045】

しかしながら、上述の電力回収回路980によれば、必ずしも十分な電力回収が行われるとは限らない。この理由について、図35および図36に基づき説明する。

【0046】

図35はPDP7の表示状態の一例を示す模式図であり、図36は図35の表示状態を得るためにアドレス電極に印加されるデータパルスの波形図である。なお、図35では図29のPDP970の一部のみが示されている。

【0047】

図35(a)では、各アドレス電極911に設けられた4つの画素(放電セル)が、上から「黒」、「白」、「黒」、「黒」を表示する一例が示されている。すなわち、PDP970の上から2番目の行の画素(放電セル)のみがアドレス放電する例である。

【0048】

図33の電力回収回路980を用いない場合、データパルスPdaは電源からの電力供給により生成される。この場合のデータパルスPdaの波形の一例を図36(a)に示す。図36(a)においては、矢印LQで示す電圧変化が回路損失に相当する。

【0049】

電力回収回路980を用いる場合、データパルスPdaは電源からの電力供給および上述のパネル容量Cpからの電力回収により生成される。この場合のデータパルスPdaの波形の一例を図36(b)に示す。図36(b)においては、矢印LQで示す電圧変化が回路損失に相当し、矢印RQで示す電圧変化が回収電力に相当する。

【0050】

図36 (a) および図36 (b) によれば、電力回収回路980が用いられることにより、データパルスPdaの生成時のデータドライバ940における回路損失がパネル容量Cpからの回収電力により低減される。

【0051】

一方、図35 (b) では、各アドレス電極911に設けられた4つの画素が、上から「白」、「白」、「白」、「白」を表示する一例が示されている。すなわち、PDP970の全ての画素がアドレス放電する例である。この場合、各アドレス電極911には連続して複数のデータパルスPdaが印加される。

【0052】

ここで、電力回収回路980を用いずに、連続したデータパルスPdaを1つのまとめたデータパルスSPdaとして各アドレス電極911に印加する場合を想定する。

【0053】

データパルスPda, SPdaの波形の一例を図36 (c) に示す。図36 (c) においては、矢印LQが回路損失に相当する。この場合、データパルスSPdaの立ち上がり時にデータドライバ940における回路損失が生じ、個々のデータパルスPda間ではデータドライバ940における回路損失が生じない。

【0054】

続いて、電力回収回路980を用い、連続したデータパルスPdaを各アドレス電極911上に印加する場合を想定する。

【0055】

この場合の連続したデータパルスPdaの波形の一例を図36 (d) に示す。図36 (d) においては、矢印LQで示す電圧変化が回路損失に相当し、矢印RQで示す電圧変化が回収電力に相当する。電力回収回路980が用いられた場合、連続したデータパルスPdaの各々はパネル容量Cpからの電力回収および電源からの電力供給により生成される。これにより、個々のデータパルスPdaの立ち上がりごとにデータドライバ940における回路損失が生じる。

【0056】

図36 (c) および図36 (d) に示されるデータパルスPdaの波形を比較する。図36 (c) では、データパルスSPdaの立ち上がり時に大きい回路損失が1回発生する。一方、図36 (d) では、各データパルスPdaの立ち上がり時に小さい回路損失が1回ずつ発生する。これにより、連続して生成されるデータパルスPdaの数がさらに増加すると、電力回収回路980による電力回収が行われても、回路損失の十分な低減が図れない。このように、従来の電力回収回路980では回路損失を十分に低減できない場合があった。

【0057】

例えば、図35 (b) に示すようなPDP970の全ての画素がアドレス放電する場合、すなわち、各アドレス電極911に連続して複数のデータパルスPdaが印加される場合、データパルスPdaのパルス振幅を小さくすることで、回路損失を低減する駆動方法が開示されている。しかしながら、さらなるアドレス放電の安定化および消費電力の低減が求められている。

【0058】

本発明の目的は、消費電力を十分に低減しつつ安定した放電を行うことができる表示装置およびその駆動方法を提供することである。

【課題を解決するための手段】

【0059】

第1の発明に係る表示装置は、複数群に分類された第1の電極と、第1の電極に交差するように設けられた第2の電極と、第1の電極と第2の電極との交差部に設けられた複数の容量性発光素子を含む表示パネルと、複数群で互いに位相差が生じるように、それぞれ複数群の第1の電極に選択された容量性発光素子を発光させるためのデータパルスを印加するドライブ回路とを備え、ドライブ回路は、回収用容量性素子と、回収用容量性素子か

ら第1の電極に電荷を放出し、または第1の電極からの電荷を回収用容量性素子に回収することにより、第1の電極にデータパルスを印加するための駆動パルスを印加する印加回路と、回収用容量性素子に回収される電荷の量を制限することにより回収用容量性素子の電位が所定値を超えないように制限する電位制限回路とを含むものである。

【0060】

その表示装置においては、表示パネルの第1の電極が複数群に分類されている。表示パネルの選択された容量性発光素子を発光させるためのアドレス期間において、ドライブ回路により、選択された容量性発光素子を発光させるためのデータパルスが複数群の第1の電極に印加される。

【0061】

印加回路においては、アドレス期間に、回収用容量性素子から第1の電極に電荷が放出され、または第1の電極から回収用容量性素子に電荷が回収されることにより、駆動パルスの発生時の消費電力が低減される。

【0062】

また、印加回路は、所定期間内における表示パネルの複数の容量性発光素子の発光および非発光の切り替わり回数に応じて回収用容量性素子に発生する電圧が変化するように動作する。この場合、電位制限回路により回収用容量性素子の電位が第1の電源電圧よりも低い所定値を超えないように制限されるので、連続する駆動パルスの波形が分離される。

【0063】

これにより、ドライブ回路から複数群で互いに位相差が生じるようにそれぞれ複数群の第1の電極にデータパルスを印加することが可能となる。この場合、複数群の第1の電極に設けられる容量性発光素子の発光のタイミングが複数群の各々ごとに異なる。それにより、第2の電極に流れる発光電流が複数のピークに分離され、ピークの値が低減される。その結果、第1の電極と第2の電極との間にかかる駆動電圧において、発光電流による電圧降下が低減される。したがって、容量性発光素子が低い駆動電圧で安定に発光することが可能となる。

【0064】

これらの結果、表示パネルの駆動マージンを損なうことなく消費電力を低減することが可能となる。

【0065】

ここで、駆動マージンとは、容量性発光素子の安定な発光を得るために許容される駆動電圧の範囲をいう。

【0066】

第2の発明に係る表示装置は、複数群に分類された第1の電極と、第1の電極に交差するように設けられた第2の電極と、第1の電極と第2の電極との交差部に設けられた複数の容量性発光素子を含む表示パネルと、複数群で互いに位相差が生じるように、それぞれ複数群の第1の電極に選択された容量性発光素子を発光させるためのデータパルスを印加するドライブ回路とを備え、ドライブ回路は、誘導性素子と、回収用容量性素子と、表示パネルの容量と誘導性素子との共振動作により回収用容量性素子から電荷を第1の電極に放出して、または第1の電極から誘導性素子を介して回収用容量性素子へ電荷を回収することにより複数群の第1の電極にデータパルスを印加するための駆動パルスを第1のノードに印加する印加回路と、回収用容量性素子に回収される電荷の量を制限することにより回収用容量性素子の電位が所定値を超えないように制限する電位制限回路とを含むものである。

【0067】

その表示装置においては、表示パネルの第1の電極が複数群に分類されている。表示パネルの選択された容量性発光素子を発光させるためのアドレス期間において、ドライブ回路により、選択された容量性発光素子を発光させるためのデータパルスが複数群の第1の電極に印加される。

【0068】

印加回路においては、アドレス期間に、回収用容量性素子から第1の電極に電荷が放出され、または第1の電極から誘導性素子を介して回収用容量性素子に電荷が回収されることにより、駆動パルスの発生時の消費電力が低減される。

【0069】

また、印加回路は、所定期間内における表示パネルの複数の容量性発光素子の発光および非発光の切り替わり回数に応じて回収用容量性素子に発生する電圧が変化するように動作する。この場合、電位制限回路により回収用容量性素子の電位が第1の電源電圧よりも低い所定値を超えないように制限されるので、連続する駆動パルスの波形が分離される。

【0070】

これにより、ドライブ回路から複数群で互いに位相差が生じるようにそれぞれ複数群の第1の電極にデータパルスを印加することが可能となる。この場合、複数群の第1の電極に設けられる容量性発光素子の発光のタイミングが複数群の各々ごとに異なる。それにより、第2の電極に流れる発光電流が複数のピークに分離され、ピークの値が低減される。その結果、第1の電極と第2の電極との間にかかる駆動電圧において、発光電流による電圧降下が低減される。したがって、容量性発光素子が低い駆動電圧で安定に発光することが可能となる。

【0071】

これらの結果、表示パネルの駆動マージンを損なうことなく消費電力を低減することが可能となる。

【0072】

ここで、駆動マージンとは、容量性発光素子の安定な発光を得るために許容される駆動電圧の範囲をいう。

【0073】

第3の発明に係る表示装置は、複数群に分類された第1の電極、第1の電極に交差するように設けられた第2の電極および第1の電極と第2の電極との交差部に設けられた複数の容量性発光素子を含む表示パネルと、複数群で互いに位相差が生じるように、それぞれ複数群の第1の電極に選択された容量性発光素子を発光させるためのデータパルスを印加するドライブ回路とを備え、ドライブ回路は、第1の電源電圧を受ける第1の電源端子と、誘導性素子と、回収用容量性素子と、表示パネルの容量と誘導性素子との共振動作により回収用容量性素子から電荷を放出して第1のノードの電位を立ち上げ、第1のノードと第1の電源端子とを接続した後、第1のノードと第1の電源端子との接続を遮断し、共振動作により第1のノードから誘導性素子を介して回収用容量性素子へ電荷を回収して第1のノードの電位を立ち下げることにより、複数群の第1の電極にデータパルスを印加するための駆動パルスを第1のノードに印加する印加回路と、回収用容量性素子に回収される電荷の量を制限することにより回収用容量性素子の電位が第1の電源電圧よりも低い所定値を超えないように制限する電位制限回路とを含むものである。

【0074】

その表示装置においては、表示パネルの第1の電極が複数群に分類されている。表示パネルの選択された容量性発光素子を発光させるためのアドレス期間において、ドライブ回路により、選択された容量性発光素子を発光させるためのデータパルスが複数群の第1の電極に印加される。

【0075】

印加回路においては、アドレス期間に表示パネルの容量と誘導性素子との共振動作により回収用容量性素子から電荷が放出されて第1のノードの電位が立ち上げられる。そして、第1のノードと第1の電源端子とが接続されることにより、第1のノードの電位が第1の電源電圧まで立ち上げられる。その後、第1のノードと第1の電源端子との接続が遮断され、共振動作により第1のノードから誘導性素子を介して回収用容量性素子へ電荷が回収されて第1のノードの電位が立ち下げられる。これにより、複数群の第1の電極にデータパルスを印加するための駆動パルスが第1のノードに印加される。

【0076】

このように、表示パネルの容量と誘導性素子との共振動作により回収用容量性素子から第1のノードに電荷が放出され、表示パネルの容量と誘導性素子との共振動作により第1のノードから回収用容量性素子に電荷が回収されるので、駆動パルスの発生時の消費電力が低減される。

【0077】

また、印加回路は、所定期間内における表示パネルの複数の容量性発光素子の発光および非発光の切り替わり回数に応じて回収用容量性素子に発生する電圧が変化するように動作する。この場合、電位制限回路により回収用容量性素子の電位が第1の電源電圧よりも低い所定値を超えないように制限されるので、連続する駆動パルスの波形が分離される。

【0078】

これにより、ドライブ回路から複数群で互いに位相差が生じるようにそれぞれ複数群の第1の電極にデータパルスを印加することが可能となる。この場合、複数群の第1の電極に設けられる容量性発光素子の発光のタイミングが複数群の各々ごとに異なる。それにより、第2の電極に流れる発光電流が複数のピークに分離され、ピークの値が低減される。その結果、第1の電極と第2の電極との間にかかる駆動電圧において、発光電流による電圧降下が低減される。したがって、容量性発光素子が低い駆動電圧で安定に発光することが可能となる。

【0079】

これらの結果、表示パネルの駆動マージンを損なうことなく消費電力を低減することが可能となる。

【0080】

ここで、駆動マージンとは、容量性発光素子の安定な発光を得るために許容される駆動電圧の範囲をいう。

【0081】

誘導性素子は、第1のノードと第2のノードとの間に設けられ、回収用容量性素子は、第3のノードに接続され、電位制限回路は、第3のノードの電位を制限することにより、回収用容量素子の電位が所定値を超えないように制限し、印加回路は、第1の電源端子と第1のノードとの間に設けられた第1のスイッチング素子と、接地電位を受ける接地端子と第1のノードとの間に設けられた第2のスイッチング素子と、第2のノードと第3のノードとの間に設けられた第3のスイッチング素子と、第2のノードと第3のノードとの間に設けられた第4のスイッチング素子とを含み、表示パネルの選択された容量性発光素子を発光させるためのアドレス期間において、第3のスイッチング素子がオンすることにより回収用容量性素子から誘導性素子を通して第1のノードに電荷が放出され、第1のノードの電位が立ち上がり、第3のスイッチング素子がオフして、第1のスイッチング素子がオンすることにより第1のノードの電位が第1の電源電圧に立ち上がり、第1のスイッチング素子がオフして、第4のスイッチング素子がオンすることにより第1のノードから誘導性素子を通して回収用容量性素子に電荷が回収されて第1のノードの電位が立ち下がることにより、駆動パルスが発生してもよい。

【0082】

この場合、印加回路においては、アドレス期間に第3のスイッチング素子がオンすることにより表示パネルの容量と誘導性素子との共振動作が行われ、回収用容量性素子から誘導性素子を通して第1のノードに電荷が放出される。そして、第3のスイッチング素子がオフして、第1のスイッチング素子がオンすることにより第1のノードの電位が第1の電源電圧まで立ち上げられる。その後、第1のスイッチング素子がオフして、第4のスイッチング素子がオンすることにより表示パネルの容量と誘導性素子との共振動作が行われ、第1のノードから誘導性素子を通して回収用容量性素子に電荷が回収される。その結果駆動パルスが発生される。

【0083】

このように、印加回路においては、表示パネルの容量と誘導性素子との共振動作が第1のスイッチング素子、第3のスイッチング素子および第4のスイッチング素子の各々のオ

ン／オフの切り替わりにより行われるので、駆動パルスの発生を各スイッチの切り替わりにより容易に制御することができる。

【0084】

また、電位制限回路により、回収用容量性素子に接続された第3のノードの電位が第1の電源電圧よりも低い所定値を超えないように制限される。それにより、連続する駆動パルスの波形が分離される。

【0085】

ドライブ回路は、第1の電極に対応して設けられる第1のスイッチング回路をさらに含み、第1のスイッチング回路がオンすることにより、第1のノードと第1の電極との間で電荷の回収および放出が行われ、第1のスイッチング回路がオフすることにより、対応する第1の電極が接地電位に設定されるように動作してもよい。

【0086】

これにより、第1のスイッチング回路の各々のオン／オフを切り替えることにより、表示パネルの複数の容量性発光素子の発光および非発光の切り替わりを制御することができる。

【0087】

また、第1のスイッチング回路の各々のオン／オフの切り替え回数の総数が少ないほど、回収用容量性素子に発生する電圧が高くなるとともに、電位制限回路により回収用容量性素子に発生する電圧が所定値を超えないように制限される。

【0088】

電位制限回路は、第1の電源電圧と接地電位との間の電圧を分割することにより所定値にほぼ等しい電位を生成する分割回路と、第3のノードと接地端子との間に接続されるとともに分割回路により生成される電位を制御信号として受け、第3のノードの電位が所定値を超える場合にオンする第2のスイッチング回路とを含んでもよい。

【0089】

この場合、分割回路により第1の電源電圧と接地電位との間の電圧が分割され、所定値にほぼ等しい電位が生成される。また、第3のノードと接地端子との間に接続される第2のスイッチング回路が、分割回路により生成される電位を制御信号として受け、第3のノードの電位が所定値を超える場合にオンすることにより、第3のノードから接地端子に電流が流れる。これにより、第3のノードの電位が所定値を超えず、回収用容量性素子の一端に発生する電位が所定値を超えない。

【0090】

電位制限回路は、所定値にほぼ等しい第2の電源電圧を受ける第2の電源端子と、第3のノードと接地端子との間に接続されるとともに第2の電源端子が受ける第2の電源電圧を制御信号として受け、第3のノードの電位が所定値を超える場合にオンする第2のスイッチング回路とを含んでもよい。

【0091】

この場合、第2の電源端子に所定値にほぼ等しい第2の電源電圧が与えられる。また、第3のノードと接地端子との間に接続される第2のスイッチング回路が、第2の電源電圧を制御信号として受け、第3のノードの電位が所定値を超える場合にオンすることにより、第3のノードから接地端子に電流が流れる。これにより、第3のノードの電位が所定値を超えず、回収用容量性素子の一端に発生する電圧が所定値を超えない。

【0092】

第2のスイッチング回路は、第3のノードと第4のノードとの間に設けられ、第3のノードから第4のノードへ電流を流す一方向性導通素子と、第4のノードと接地端子との間に設けられ、制御信号を受ける制御端子を有する第5のスイッチング素子とを含んでもよい。

【0093】

この場合、第3のノードの電位が所定値を超えた場合に、第5のスイッチング素子がオンし、一方向性導通素子および第5のスイッチング素子を通して第3のノードから接地端

子へ電流が流れる。これにより、第3のノードの電位が所定値を超えず、回収用容量性素子の一端に発生する電圧が所定値を超えない。

【0094】

電位制限回路は、第3のノードと接地端子との間に設けられ、第3のノードの電位が所定値を超える場合に第3のノードから接地端子に電流を流す一方向性導通素子を含んでもよい。

【0095】

この場合、第3のノードと接地端子との間に設けられる一方向性導通素子により、第3のノードの電位が所定値を超える場合に第3のノードから接地端子に電流が流れる。これにより、第3のノードの電位が所定値を超えず、回収用容量性素子の一端に発生する電圧が所定値を超えない。また、構成が容易となる。

【0096】

一方向性導通素子は、ツェナーダイオードであってもよい。これにより、構成が容易となる。

【0097】

第1のスイッチング素子をオンするために、第1のノードの電位よりも高い電位を発生するチャージポンプ回路をさらに備えてもよい。この場合、チャージポンプ回路により第1のノードの電位よりも高い電位が発生され、第1のスイッチング素子がオンされる。

【0098】

チャージポンプ回路は、第1のノードと第5のノードとの間に設けられる充電用容量素子と、第3の電源電圧を受ける第3の電源端子と第5のノードとの間に設けられ、第2の電源端子から第5のノードに電流を流す一方向性導通素子と、第1のノードの電位に第5のノードの電位を加算し、加算された電位を第1のスイッチング素子に制御信号として出力する制御信号出力回路とを含んでもよい。

【0099】

この場合、一方向性導通素子により第2の電源端子から第5のノードに電流が流され、制御信号出力回路により第1のノードの電位に第5のノードの電位が加算され、加算された電位が第1のスイッチング素子に制御信号として出力される。

【0100】

所定値は、第1の電源電圧の2分の1よりも高く、第1の電源電圧の5分の4以下であってもよい。これにより、容量性発光素子の安定な発光を確保することができる。また、十分な駆動マージンを得ることができる。

【0101】

位相差は、200 ns以上であってもよい。これにより、容量性発光素子の安定な発光を確保することができる。また、十分な駆動マージンを得ることができる。

【0102】

ドライブ回路を複数有し、複数のドライブ回路は複数群にそれぞれ対応して設けられ、複数のドライブ回路は、複数群で互いに位相差が生じるようにそれぞれ複数群の第1の電極に選択された容量性発光素子を発光させるためのデータパルスを印加してもよい。

【0103】

この場合、選択された容量性発光素子を発光させるためのデータパルスは、複数群にそれぞれ対応して設けられた複数のドライブ回路により複数群で互いに位相差が生じるようにそれぞれ複数群の第1の電極に印加される。これにより、複数群の第1の電極に設けられる容量性発光素子の発光のタイミングが複数群ごとに異なる。それにより、第2の電極に流れる発光電流が複数のピークに分離され、ピークの値が低減される。その結果、第1の電極と第2の電極との間にかかる駆動電圧において発光電流による電圧降下が低減される。したがって、発光素子が低い駆動電圧で安定に発光することが可能となる。

【0104】

第1の電極に印加されるデータパルスの立ち上がりの回数または立ち下りの回数を検出する回数検出部をさらに備え、ドライブ回路は、データパルスの立ち上がり可能な最大

の回数または立ち下がり可能な最大の回数に対する回数検出部により検出された回数の比率を算出し、比率が所定の比率値よりも大きい場合に、第1のノードの電位を所定の電圧値まで立ち下げた後、第1のノードを接地するように印加回路の動作を制御する制御部をさらに含んでもよい。

【0105】

この場合、回数検出部により、複数群に分類された第1の電極に印加されるデータパルスの立ち上がりの回数または立ち下がり回数が検出される。そして、データパルスの立ち上がり可能な最大の回数または立ち下がり可能な最大の回数に対する回数検出部により検出された回数の比率が制御部により算出され、算出された比率と所定の比率値との比較が行われる。

【0106】

さらに、算出された比率が所定の比率値よりも大きい場合に第1のノードの電位が所定の電圧値まで立ち下げられた後、第1のノードが接地されるように印加回路の動作が制御される。

【0107】

ここで、印加回路においては、データパルスの立ち上がり可能な最大の回数または立ち下がり可能な最大の回数に対する回数検出部により検出された回数の比率に応じて消費電力が変化する。すなわち、算出された比率が所定の比率値よりも大きい場合には、第1のノードが接地されることにより、表示パネルの複数の容量性発光素子の発光状態にかかわらず、常に最適な状態で消費電力を低減することが可能となる。

【0108】

1フィールドを複数のサブフィールドに分割してサブフィールドごとに選択された容量性発光素子を放電させて階調表示を行うために、1フィールドの画像データを各サブフィールドの画像データに変換する変換部をさらに備え、回数検出部は、変換部から与えられる画像データに基づいて各サブフィールドごとの回数を検出し、制御部は、各サブフィールドにおけるデータパルスの立ち上がり可能な最大の回数または立ち下がり可能な最大の回数に対する回数検出部により得られた回数の比率を算出し、比率が所定の比率値よりも大きい場合に、第1のノードの電位を所定の電圧値まで立ち下げた後、第1のノードを接地するように印加回路の動作を制御してもよい。

【0109】

この場合、変換部により1フィールドの画像データが複数のサブフィールドの画像データに変換される。これにより、1フィールドを複数のサブフィールドに分割してサブフィールドごとに選択された容量性発光素子を放電させて階調表示を行うことが可能となる。

【0110】

複数のサブフィールドの各々においては、回数検出部により、複数群に分類された第1の電極に印加されるデータパルスの立ち上がりの回数または立ち下がり回数が検出される。そして、各サブフィールドにおけるデータパルスの立ち上がり可能な最大の回数または立ち下がり可能な最大の回数に対する回数検出部により検出された回数の比率が制御部により算出され、算出された比率と所定の比率値との比較が行われる。

【0111】

さらに、算出された比率が所定の比率値よりも大きい場合に第1のノードの電位が所定の電圧値まで立ち下げられた後、第1のノードが接地されるように印加回路の動作が制御される。したがって、表示パネルの複数の容量性発光素子の発光状態にかかわらず、常に最適な状態で消費電力を低減することが可能となる。

【0112】

所定の比率値は95%以上であってもよい。これにより、表示パネルの複数の容量性発光素子の発光状態にかかわらず、常に最適な状態で消費電力を低減することが可能となる。

【0113】

第4の発明に係る表示装置の駆動方法は、複数群に分類された第1の電極、第1の電極

に交差するように設けられた第2の電極および第1の電極と第2の電極との交差部に設けられた複数の容量性発光素子を備える表示パネルを含む表示装置の駆動方法であって、複数群で互いに位相差が生じるように、それぞれ複数群の第1の電極に選択された容量性発光素子を発光させるためのデータパルス印加するステップを備え、データパルス印加するステップは、表示パネルの容量と誘導性素子との共振動作により回収用容量性素子から電荷を放出して第1のノードの電位を立ち上げ、第1のノードと第1の電源端子とを接続した後、第1のノードと第1の電源端子との接続を遮断し、共振動作により第1のノードから誘導性素子を介して回収用容量性素子へ電荷を回収して第1のノードの電位を立ち下げることにより、複数群の第1の電極にデータパルス印加するための駆動パルスを第1のノードに印加するステップと、回収用容量性素子に回収される電荷の量を制限することにより回収用容量性素子の電位が第1の電源電圧よりも低い所定値を超えないように制限するステップとを含むものである。

【0114】

その表示装置の駆動方法においては、表示パネルの選択された容量性発光素子を発光させるためのアドレス期間において、選択された容量性発光素子を発光させるためのデータパルスが複数群の第1の電極に印加される。

【0115】

このようなデータパルスの複数群の第1の電極への印加時においては、アドレス期間に表示パネルの容量と誘導性素子との共振動作により回収用容量性素子から電荷が放出されて第1のノードの電位が立ち上げられる。そして、第1のノードと第1の電源端子とが接続されることにより、第1のノードの電位が第1の電源電圧まで立ち上げられる。その後、第1のノードと第1の電源端子との接続が遮断され、共振動作により第1のノードから誘導性素子を介して回収用容量性素子へ電荷が回収されて第1のノードの電位が立ち下げられる。これにより、複数群の第1の電極にデータパルス印加するための駆動パルスが第1のノードに印加される。

【0116】

このように、表示パネルの容量と誘導性素子との共振動作により回収用容量性素子から第1のノードに電荷が放出され、表示パネルの容量と誘導性素子との共振動作により第1のノードから回収用容量性素子に電荷が回収されるので、駆動パルスの発生時の消費電力が低減される。

【0117】

また、所定期間内における表示パネルの複数の容量性発光素子の発光および非発光の切り替わり回数に応じて回収用容量性素子に発生する電圧が変化するように動作され、回収用容量性素子の電位が第1の電源電圧よりも低い所定値を超えないように制限されるので、連続する駆動パルスの波形が分離される。

【0118】

複数群で互いに位相差が生じるようにそれぞれ複数群の第1の電極にデータパルスが印加されることにより、複数群の第1の電極に設けられる容量性発光素子の発光のタイミングが複数群の各々ごとに異なる。それにより、第2の電極に流れる発光電流が複数のピークに分離され、ピークの値が低減される。その結果、第1の電極と第2の電極との間にかかる駆動電圧において、発光電流による電圧降下が低減される。したがって、容量性発光素子が低い駆動電圧で安定に発光することが可能となる。

【0119】

これらの結果、表示パネルの駆動マージンを損なうことなく消費電力を低減することが可能となる。

【0120】

ここで、駆動マージンとは、容量性発光素子の安定な発光を得るために許容される駆動電圧の範囲をいう。

【0121】

第1の電極に印加されるデータパルスの立ち上がりの回数または立ち下がりの回数を検

出するステップと、データパルスの立ち上がり可能な最大の回数または立ち下がり可能な最大の回数に対する検出された回数の比率を算出し、比率が所定の比率値よりも大きい場合に、第1のノードの電位を所定の電圧値まで立ち下げた後、第1のノードを接地するように印加回路の動作を制御するステップとをさらに備えてもよい。

【0122】

この場合、複数群に分類された第1の電極に印加されるデータパルスの立ち上がりの回数または立ち下がりの回数が検出される。そして、データパルスの立ち上がり可能な最大の回数または立ち下がり可能な最大の回数に対する回数検出部により検出された回数の比率が算出され、算出された比率と所定の比率値との比較が行われる。

【0123】

さらに、算出された比率が所定の比率値よりも大きい場合に第1のノードの電位が所定の電圧値まで立ち下げられた後、第1のノードが接地されるように印加回路の動作が制御される。

【0124】

ここで、その表示装置においては、データパルスの立ち上がり可能な最大の回数または立ち下がり可能な最大の回数に対する回数検出部により検出された回数の比率に応じて消費電力が変化する。すなわち、算出された比率が所定の比率値よりも大きい場合には、第1のノードが接地されることにより、表示パネルの複数の容量性発光素子の発光状態にかかわらず、常に最適な状態で消費電力を低減することが可能となる。

【0125】

所定の比率値は95%以上であってもよい。これにより、表示パネルの複数の容量性発光素子の発光状態にかかわらず、常に最適な状態で消費電力を低減することが可能となる。

【0126】

所定値は、第1の電源電圧の2分の1よりも高く、第1の電源電圧の5分の4以下であってもよい。これにより、容量性発光素子の安定な発光を確保することができる。また、十分な駆動マージンを得ることができる。

【発明の効果】

【0127】

本発明に係る表示装置においては、表示パネルの第1の電極が複数群に分類されている。表示パネルの選択された容量性発光素子を発光させるためのアドレス期間において、ドライバ回路により、選択された容量性発光素子を発光させるためのデータパルスが複数群の第1の電極に印加される。

【0128】

印加回路においては、アドレス期間に表示パネルの容量と誘導性素子との共振動作により回収用容量性素子から電荷が放出されて第1のノードの電位が立ち上げられる。そして、第1のノードと第1の電源端子とが接続されることにより、第1のノードの電位が第1の電源電圧まで立ち上げられる。その後、第1のノードと第1の電源端子との接続が遮断され、共振動作により第1のノードから誘導性素子を介して回収用容量性素子へ電荷が回収されて第1のノードの電位が立ち下げられる。これにより、複数群の第1の電極にデータパルスを印加するための駆動パルスが第1のノードに印加される。

【0129】

このように、表示パネルの容量と誘導性素子との共振動作により回収用容量性素子から第1のノードに電荷が放出され、表示パネルの容量と誘導性素子との共振動作により第1のノードから回収用容量性素子に電荷が回収されるので、駆動パルスの発生時の消費電力が低減される。

【0130】

また、印加回路は、所定期間内における表示パネルの複数の容量性発光素子の発光および非発光の切り替わり回数に応じて回収用容量性素子に発生する電圧が変化するように動作する。この場合、電位制限回路により回収用容量性素子の電位が第1の電源電圧よりも

低い所定値を超えないように制限されるので、連続する駆動パルスの波形が分離される。

【0131】

これにより、ドライブ回路から複数群で互いに位相差が生じるようにそれぞれ複数群の第1の電極にデータパルスを印加することが可能となる。この場合、複数群の第1の電極に設けられる容量性発光素子の発光のタイミングが複数群の各々ごとに異なる。それにより、第2の電極に流れる発光電流が複数のピークに分離され、ピークの値が低減される。その結果、第1の電極と第2の電極との間にかかる駆動電圧において、発光電流による電圧降下が低減される。したがって、容量性発光素子が低い駆動電圧で安定に発光することが可能となる。

【0132】

これらの結果、表示パネルの駆動マージンを損なうことなく消費電力を低減することが可能となる。

【0133】

ここで、駆動マージンとは、容量性発光素子の安定な発光を得るために許容される駆動電圧の範囲をいう。

【発明を実施するための最良の形態】

【0134】

以下、本発明に係る表示装置およびその駆動方法の一例としてプラズマディスプレイ装置およびその駆動方法について図1～図28に基づき説明する。

【0135】

(第1の実施の形態)

図1は、第1の実施の形態に係るプラズマディスプレイ装置の基本構成を示すブロック図である。

【0136】

図1のプラズマディスプレイ装置100は、アナログ/デジタル変換器(以下、A/Dコンバータと呼ぶ。)1、映像信号-サブフィールド対応付け器2、サブフィールド処理器3、第1のデータドライバ群4a、第2のデータドライバ群4b、スキャンドライバ5、サステインドライバ6、プラズマディスプレイパネル(以下、PDPと略記する。)7、第1の電力回収回路8aおよび第2の電力回収回路8bを備える。

【0137】

A/Dコンバータ1には、アナログの映像信号VDが与えられる。A/Dコンバータ1は、映像信号VDをデジタルの画像データに変換し、映像信号-サブフィールド対応付け器2へ与える。

【0138】

映像信号-サブフィールド対応付け器2は、1フィールドを複数のサブフィールドに分割して表示するため、1フィールドの画像データから各サブフィールドの画像データSPを生成し、サブフィールド処理器3へ与える。なお、本実施の形態に係るプラズマディスプレイ装置100では、階調表示駆動方式として、アドレス・表示期間分離方式(以下、ADS方式と略記する。)が用いられている。ADS方式の詳細については後述する。

【0139】

サブフィールド処理器3は、上記サブフィールドの画像データSPからデータドライバ制御信号DSa、DSb、電力回収回路制御信号Ha、Hb、スキャンドライバ制御信号CSおよびサステインドライバ制御信号USを生成する。

【0140】

データドライバ制御信号DSa、DSbは、それぞれ第1のデータドライバ群4aおよび第2のデータドライバ群4bへ与えられる。電力回収回路制御信号Ha、Hbは、それぞれ第1の電力回収回路8aおよび第2の電力回収回路8bへ与えられる。スキャンドライバ制御信号CSはスキャンドライバ5へ与えられ、サステインドライバ制御信号USはサステインドライバ6へ与えられる。

【0141】

第1のデータドライバ群4aおよび第2のデータドライバ群4bの各々は、図示しない複数のデータドライバ集積回路および複数のモジュールから構成されている。第1のデータドライバ群4aは、サブフィールド処理器3、第1の電力回収回路8aおよびPDP7に接続され、第2のデータドライバ群4bは、サブフィールド処理器3、第2の電力回収回路8bおよびPDP7に接続されている。また、スキヤンドライバ5およびサステインドライバ6の各々はPDP7に接続されている。

【0142】

PDP7は、複数のアドレス電極（データ電極） $41_1 \sim 41_n$ 、 $42_1 \sim 42_n$ 、複数のスキヤン電極（走査電極） $12_1 \sim 12_m$ および複数のサステイン電極（維持電極） $13_1 \sim 13_m$ を含む。 m および n は、それぞれ任意の整数である。複数のアドレス電極 $41_1 \sim 41_n$ 、 $42_1 \sim 42_n$ は画面の垂直方向に配列され、複数のスキヤン電極 $12_1 \sim 12_m$ および複数のサステイン電極 $13_1 \sim 13_m$ は画面の水平方向に配列されている。なお、複数のサステイン電極 $13_1 \sim 13_m$ は共通に接続されている。図1において、アドレス電極 $41_1 \sim 41_n$ は画面の左側に配列されており、アドレス電極 $42_1 \sim 42_n$ は画面の右側に配列されている。

【0143】

アドレス電極 $41_1 \sim 41_n$ 、 $42_1 \sim 42_n$ 、スキヤン電極 $12_1 \sim 12_m$ およびサステイン電極 $13_1 \sim 13_m$ の各交点には、放電セル14が形成されている。放電セル14の各々が画面上の画素を構成する。図1において、画面上の放電セル14は「 m 行 $2n$ 列」となるように配列されている。

【0144】

複数のアドレス電極 $41_1 \sim 41_n$ は第1のデータドライバ群4aに接続され、複数のアドレス電極 $42_1 \sim 42_n$ は第2のデータドライバ群4bに接続されている。また、複数のスキヤン電極 $12_1 \sim 12_m$ はスキヤンドライバ5に接続され、複数のサステイン電極 $13_1 \sim 13_m$ はサステインドライバ6に接続されている。

【0145】

ここで、スキヤンドライバ5は、各スキヤン電極 $12_1 \sim 12_m$ ごとに設けられた駆動回路を内部に備え、各駆動回路がPDP7の対応するスキヤン電極 $12_1 \sim 12_m$ に接続されている。

【0146】

第1のデータドライバ群4aは、データドライバ制御信号DSaに従い、書き込み期間において画像データSPに応じてPDP7の該当するアドレス電極 $41_1 \sim 41_n$ にデータパルスを印加する。なお、第1のデータドライバ群4aの複数のデータドライバ集積回路の電源端子には、上記データパルスを生成するために、第1の電力回収回路8aの出力が供給される。第1の電力回収回路8aは電力回収回路制御信号Haに従って動作する。書き込み期間における第1のデータドライバ群4aおよび第1の電力回収回路8aの動作の詳細については後述する。

【0147】

第2のデータドライバ群4bは、データドライバ制御信号DSbに従い、書き込み期間において画像データSPに応じてPDP7の該当するアドレス電極 $42_1 \sim 42_n$ のいずれかにデータパルスを印加する。なお、第2のデータドライバ群4bの複数のデータドライバ集積回路の電源端子には、上記データパルスを生成するために、第2の電力回収回路8bの出力が供給される。第2の電力回収回路8bは電力回収回路制御信号Hbに従って動作する。書き込み期間における第2のデータドライバ群4bおよび第2の電力回収回路8bの動作の詳細は、後述する第1のデータドライバ群4aおよび第1の電力回収回路8aの動作の詳細と同様である。

【0148】

スキヤンドライバ5は、スキヤンドライバ制御信号CSに従い、初期化期間において、初期セットアップパルスをPDP7の全てのスキヤン電極 $12_1 \sim 12_m$ に同時に印加する。その後、書き込み期間においてシフトパルスを垂直走査方向にシフトしつつPDP7

の複数のスキャン電極 $12_1 \sim 12_m$ に書き込みパルスを順に印加する。これにより、選択された放電セル 14 においてアドレス放電が行われる。

【0149】

また、スキャンドライバ 5 は、スキャンドライバ制御信号 CS に従い、維持期間において、周期的な維持パルスを $PDP7$ の複数のスキャン電極 $12_1 \sim 12_m$ に印加する。一方、サステインドライバ 6 は、サステインドライバ制御信号 US に従い、維持期間において、 $PDP7$ の複数のサステイン電極 $13_1 \sim 13_m$ に、スキャン電極 $12_1 \sim 12_m$ の維持パルスに対して 180° 位相のずれた維持パルスを同時に印加する。これにより、アドレス放電が行われた放電セル 14 において維持放電が行われる。

【0150】

図2は、図1のアドレス電極、スキャン電極およびサステイン電極に与えられる駆動電圧の一例を示すタイミング図である。

【0151】

図2において、初期化期間 $P1$ には、複数のスキャン電極 $12_1 \sim 12_m$ に初期セットアップパルス P_{set} が同時に印加される。その後、書き込み期間 $P2$ において、映像信号に応じてオンまたはオフするデータパルス $P_d a$ が各アドレス電極 $41_1 \sim 41_n$, $42_1 \sim 42_n$ に印加され、このデータパルス $P_d a$ に同期して複数のスキャン電極 $12_1 \sim 12_m$ に書き込みパルス P_w が順に印加される。これにより、 $PDP1$ の選択された放電セル 14 において順次アドレス放電が起こる。

【0152】

なお、本実施の形態では図2に示すように、第1のデータドライバ群 $4a$ によりデータパルス $P_d a$ がアドレス電極 $41_1 \sim 41_n$ に印加されるタイミングと第2のデータドライバ群 $4b$ によりデータパルス $P_d a$ がアドレス電極 $42_1 \sim 42_n$ に印加されるタイミングとの間でずれ TR が生じている。ずれ TR の詳細については後述する。

【0153】

次に、維持期間 $P3$ において、複数のスキャン電極 $12_1 \sim 12_m$ に維持パルス P_{sc} が周期的に印加され、複数のサステイン電極 $13_1 \sim 13_m$ に維持パルス P_{su} が周期的に印加される。維持パルス P_{su} の位相は、維持パルス P_{sc} の位相に対して 180° ずれている。これにより、アドレス放電に続いて維持放電が起こる。

【0154】

上述のように、本実施の形態に係るプラズマディスプレイ装置 100 では、階調表示駆動方式として ADS 方式が用いられている。ここで、 ADS 方式について説明する。図3は、図1のプラズマディスプレイ装置 100 に用いられる ADS 方式を説明するための説明図である。

【0155】

ADS 方式では、1フィールド($1/60$ 秒 $=16.67$ ms)を複数のサブフィールドに時間的に分割する。例えば、8ビットで256階調表示を行う場合には、1フィールドを8つのサブフィールド $SF1 \sim SF8$ に分割する。また、各サブフィールド $SF1 \sim SF8$ は、初期化期間 $P1$ 、書き込み期間 $P2$ および維持期間 $P3$ に分離される。各サブフィールド $SF1 \sim SF8$ においては、図2の例と同様に、初期化期間 $P1$ に各サブフィールドのセットアップ処理が行われ、書き込み期間 $P2$ に点灯される放電セル 14 を選択するためのアドレス放電が行われ、維持期間 $P3$ に表示のための維持放電が行われる。

【0156】

サブフィールド $SF1 \sim SF8$ の維持期間 $P3$ には、それぞれ輝度(明るさ)が重み付けされている。各サブフィールド $SF1 \sim SF8$ の維持期間 $P3$ においては、重み付けされた輝度に応じた数の維持パルスがスキャン電極 $12_1 \sim 12_m$ およびサステイン電極 $13_1 \sim 13_m$ へ印加される。例えば、サブフィールド $SF1$ では、サステイン電極 $13_1 \sim 13_m$ に維持パルスが1回印加され、スキャン電極 $12_1 \sim 12_m$ に維持パルスが1回印加され、書き込み期間 $P2$ において選択された放電セル 14 が2回維持放電を行う。また、サブフィールド $SF2$ では、サステイン電極 $13_1 \sim 13_m$ に維持パルスが2回印加

され、スキャン電極 $12_1 \sim 12_n$ に維持パルスが2回印加され、書き込み期間 P_2 において選択された放電セル 14 が4回維持放電を行う。

【0157】

このように、サブフィールド $SF_1 \sim SF_8$ では、それぞれ、1、2、4、8、16、32、64および128の輝度の重み付けがなされ、これらのサブフィールド $SF_1 \sim SF_8$ を組み合わせることにより、輝度のレベルを0～255までの256段階で調整することができる。なお、サブフィールドの分割数および重み付け値等は、上記の例に特に限定されず、種々の変更が可能であり、例えば、動画疑似輪郭を低減するために、サブフィールド SF_8 を2つに分割して2つのサブフィールドの重み付け値を64に設定してもよい。

【0158】

続いて、図2のデータパルス Pda をアドレス電極 $41_1 \sim 41_n$ に印加するタイミングとデータパルス Pda をアドレス電極 $42_1 \sim 42_n$ に印加するタイミングとの間のずれ TR について説明する。

【0159】

以下の説明において、データパルス Pda をアドレス電極 $41_1 \sim 41_n$, $42_1 \sim 42_n$ に印加するタイミングをデータパルス印加タイミングと呼び、アドレス電極 $41_1 \sim 41_n$ に対するデータパルス印加タイミングとアドレス電極 $42_1 \sim 42_n$ に対するデータパルス印加タイミングとのずれ TR をデータパルス位相差 TR と呼ぶ。

【0160】

図4は図1のPDP7の表示状態の一例を示す模式図であり、図5はデータパルス位相差に対するアドレス放電電流の依存性を説明するための図である。

【0161】

図4においては、PDP7上の放電セル14のうちスキャン電極 12_1 上の放電セル14の全てが発光している。

【0162】

ここで、図4のPDP7の表示状態を実現する際にデータパルス位相差 TR が存在しない場合について説明する。図5(a)に示すようにデータパルス位相差 TR が存在しない場合、アドレス電極 $41_1 \sim 41_n$ 上の放電セル14とアドレス電極 $41_1 \sim 41_n$ 上の放電セル14とアドレス電極 $42_1 \sim 42_n$ 上の放電セル14とは、同じタイミング t_1 でアドレス放電を起こす。それにより、スキャン電極 12_1 には1つのピークを有する放電電流 DA_2 が発生する。

【0163】

この場合、スキャン電極 12_1 には、アドレス電極 $41_1 \sim 41_n$ 上の放電セル14およびアドレス電極 $42_1 \sim 42_n$ 上の放電セル14の放電電流が同時に流れるため、放電電流 DA_2 の振幅 AM_2 は、大きくなる。それにより、スキャン電極 12_1 に印加される書き込みパルス Pw に大きな電圧降下 E_2 が発生する。その結果、アドレス放電が不安定となる。したがって、安定したアドレス放電を行うためにはスキャン電極 12_1 に印加すべき書き込みパルス Pw の電圧 SH_2 を高く設定しなければならない。

【0164】

次に、図4のPDP7の表示状態を実現する際にデータパルス位相差 TR が存在する場合について説明する。図5(b)に示すように、データパルス位相差 TR が存在する場合、アドレス電極 $41_1 \sim 41_n$ 上の放電セル14は、タイミング t_1 でアドレス放電を起こし、アドレス電極 $42_1 \sim 42_n$ 上の放電セル14は、タイミング t_2 でアドレス放電を起こす。それにより、スキャン電極 12_1 には2つのピークを有する放電電流 DA_1 が発生する。

【0165】

この場合、スキャン電極 12_1 には、アドレス電極 $41_1 \sim 41_n$ 上の放電セル14の放電電流およびアドレス電極 $42_1 \sim 42_n$ 上の放電セル14の放電電流が異なるタイミングで流れるため、放電電流 DA_1 の振幅 AM_1 は、データパルス位相差 TR が大きな

るにつれて小さくなる。それにより、スキャン電極 12₁ に印加される書き込みパルス P_w に発生する電圧降下量 E₁ もデータパルス位相差 TR が大きくなるにつれて小さくなる。したがって、スキャン電極 12₁ に印加すべき書き込みパルス P_w の電圧 S_{H1} を低く設定した場合でも、安定した放電を確保することができる。換言すれば、データパルス位相差 TR を大きく設定することにより、放電セル 14 の安定した放電を確保しつつ書き込みパルス P_w の電圧（駆動電圧）を低減することができ、後述の駆動マージンが拡大される。

【0166】

このように、本実施の形態に係るプラズマディスプレイ装置 100 では、第 1 のデータドライバ群 4 a および第 2 のデータドライバ群 4 b によるアドレス電極 41₁ ~ 41_n, 42₁ ~ 42_n へのデータパルス P_{da} の印加時にデータパルス位相差 TR が発生する。これにより、放電セル 14 の安定した放電を確保しつつ書き込みパルス P_w の電圧（駆動電圧）を低減することができ、後述の駆動マージンが拡大される。

【0167】

書き込み期間における図 1 の第 1 のデータドライバ群 4 a、第 1 の電力回収回路 8 a および PDP 7 の構成および動作の詳細について図 6 ~ 図 16 に基づき説明する。

【0168】

図 6 は図 1 の第 1 のデータドライバ群 4 a、第 1 の電力回収回路 8 a および PDP 7 の回路図である。上述のように第 1 の電力回収回路 8 a は第 1 のデータドライバ群 4 a を介して PDP 7 の複数のアドレス電極 41₁ ~ 41_n に接続されている。図 6 では、PDP 7 において各アドレス電極 41₁ ~ 41_n に設けられた複数の放電セル 14 の容量をアドレス電極容量 C_{p1} ~ C_{pn} とし、これらの総和をパネル容量 C_p として表す。

【0169】

図 6 によれば、第 1 の電力回収回路 8 a は、回収コンデンサ C₁、回収コイル L、N チャネル電界効果トランジスタ（以下、トランジスタと略記する。）Q₁ ~ Q₄、ダイオード D₁、D₂ および回収電位クランプ回路 80 を含む。回収電位クランプ回路 80 は、抵抗 R₁、R₂、R₃、ダイオード D₃、D₄ およびバイポーラトランジスタ（以下、トランジスタと略記する。）Q₅ を含む。

【0170】

回収コンデンサ C₁ は、ノード N₃ と接地端子との間に接続されている。ノード N₃ とノード N₂ との間にトランジスタ Q₃ およびダイオード D₁ が直列に接続され、ノード N₂ とノード N₃ との間にダイオード D₂ およびトランジスタ Q₄ が直列に接続されている。

【0171】

回収コイル L は、ノード N₂ とノード N₁ との間に接続されている。ノード N₁ と電源端子 V₁ との間にトランジスタ Q₁ が接続され、ノード N₁ と接地端子との間にトランジスタ Q₂ が接続されている。

【0172】

回収電位クランプ回路 80 において、ノード N₃ とノード N₄ との間にはダイオード D₃ が接続され、ノード N₄ はトランジスタ Q₅ のエミッタに接続され、トランジスタ Q₅ のコレクタは抵抗 R₃ を介して接地端子に接続されている。電源端子 V₁ とノード N₅ との間に抵抗 R₁ が接続され、ノード N₅ と接地端子との間に抵抗 R₂ が接続されている。ノード N₅ はトランジスタ Q₅ のベースに接続されている。ノード N₅ とノード N₄ との間にはダイオード D₄ が接続されている。

【0173】

第 1 のデータドライバ群 4 a は、複数の P チャネル電界効果トランジスタ（以下、トランジスタと略記する。）Q₁₁ ~ Q_{1n}、複数の N チャネル電界効果トランジスタ（以下、トランジスタと略記する。）Q₂₁ ~ Q_{2n} を含む。第 1 の電力回収回路 8 a のノード N₁ とノード ND₁ ~ ND_n との間には、それぞれトランジスタ Q₁₁ ~ Q_{1n} が接続されている。ノード ND₁ ~ ND_n と接地端子との間には、それぞれトランジスタ Q₂₁ ~

$Q2_n$ が接続されている。複数のトランジスタ $Q1_1 \sim Q1_n$, $Q2_1 \sim Q2_n$ のゲートには、図1のサブフィールド処理器3のデータドライバ制御信号 DS_a に基づいて生成される制御パルス $S_{a1} \sim S_{an}$ が与えられる。

【0174】

第1のデータドライバ群4aのノード $ND_1 \sim ND_n$ には、それぞれPDP7のアドレス電極 $41_1 \sim 41_n$ が接続されている。アドレス電極 $41_1 \sim 41_n$ と接地端子との間にはそれぞれアドレス電極容量 $C_{p1} \sim C_{pn}$ が形成されている。第1の電力回収回路8aのノードN1と接地端子との間には、浮遊容量 C_f が存在する。

【0175】

第2のデータドライバ群4bおよび第2の電力回収回路8bの構成は、上記の第1のデータドライバ群4aおよび第1の電力回収回路8aの構成と同様である。なお、第2のデータドライバ群4bの複数のトランジスタ $Q1_1 \sim Q1_n$, $Q2_1 \sim Q2_n$ のゲートには、図1のサブフィールド処理器3のデータドライバ制御信号 DS_b に基づいて生成される制御パルス $S_{a1} \sim S_{an}$ が与えられる。

【0176】

電源端子V1には電源電圧 V_{da} が与えられる。トランジスタ $Q1 \sim Q4$ のゲートには、それぞれ制御信号 $S1 \sim S4$ が与えられる。トランジスタ $Q1 \sim Q4$ は制御信号 $S1 \sim S4$ に基づいてオン/オフの切替動作を行う。なお、制御信号 $S1 \sim S4$ は、図1のサブフィールド処理器3から与えられる電力回収回路制御信号 H_a に基づき生成される。なお、図1の第2の電力回収回路8bのトランジスタ $Q1 \sim Q4$ には電力回収回路制御信号 H_b に基づき生成される制御信号 $S1 \sim S4$ が与えられる。

【0177】

図7は、図1の第1および第2の電力回収回路8a, 8bの書き込み期間の動作を示すタイミング図である。図7には、図6のノードN1の電圧 $NV1$ およびトランジスタ $Q1 \sim Q4$ にそれぞれ与えられる制御信号 $S1 \sim S4$ の波形が実線により示されている。また、第2のデータドライバ群4bのノードN1の電圧 $NV1$ およびトランジスタ $Q1 \sim Q4$ にそれぞれ与えられる制御信号 $S1 \sim S4$ の信号波形が破線により示されている。

【0178】

図7においては、第1の電力回収回路8aにおける電圧 $NV1$ および制御信号 $S1 \sim S4$ の後にかっこ書きで符号8aを付し、第2の電力回収回路8bにおける電圧 $NV1$ および制御信号 $S1 \sim S4$ の後にかっこ書きで符号8bを付している。

【0179】

制御信号 $S1 \sim S4$ がハイレベルの場合にトランジスタ $Q1 \sim Q4$ はオンし、制御信号 $S1 \sim S4$ がローレベルの場合にトランジスタ $Q1 \sim Q4$ はオフする。

【0180】

期間TAにおいて、制御信号 $S3$ はハイレベルであり、制御信号 $S1$, $S2$, $S4$ はローレベルである。これにより、トランジスタ $Q3$ がオンし、トランジスタ $Q1$, $Q2$, $Q4$ がオフする。この場合、回収コンデンサ $C1$ がトランジスタ $Q3$ およびダイオード $D1$ を介して回収コイルLに接続され、回収コイルLと浮遊容量 C_f およびパネル容量 C_p とのLC共振により、ノードN1の電圧 $NV1$ が緩やかに上昇する。

【0181】

このとき、回収コンデンサ $C1$ の電荷が、トランジスタ $Q3$ 、ダイオード $D1$ および回収コイルLを介して浮遊容量 C_f へ放出され、さらに第1のデータドライバ群4aを介してPDP7のパネル容量 C_p へ放出される。

【0182】

期間TBにおいて、制御信号 $S1$ はハイレベルであり、制御信号 $S2 \sim S4$ はローレベルである。これにより、トランジスタ $Q1$ がオンし、トランジスタ $Q2 \sim Q4$ がオフする。この場合、ノードN1がトランジスタ $Q1$ を介して電源端子V1に接続される。それにより、ノードN1の電圧 $NV1$ は、急激に上昇するとともに電源端子V1に与えられる電源電圧 V_{da} に固定される。

【0183】

期間TCにおいて、制御信号S4はハイレベルであり、制御信号S1～S3はローレベルである。これにより、トランジスタQ4がオンし、トランジスタQ1～Q3がオフする。この場合、回収コンデンサC1がトランジスタQ4およびダイオードD2を介して回収コイルLに接続され、回収コイルLと浮遊容量Cfおよびパネル容量CpとのLC共振により、ノードN1の電圧NV1が緩やかに下降する。このとき、浮遊容量Cfおよびパネル容量Cpの電荷が、回収コイルL、ダイオードD2およびトランジスタQ4を介して回収コンデンサC1へ回収される。

【0184】

第1の電力回収回路8aが、期間TA～TCの動作を繰り返すことにより、パネル容量Cpおよび浮遊容量Cfに蓄積された電荷が回収コンデンサC1に回収されるとともに、回収された電荷が再びパネル容量Cpおよび浮遊容量Cfに与えられる。以下、パネル容量Cpおよび浮遊容量Cfより回収コンデンサC1に回収された電荷に基づく電力を回収電力と呼ぶ。

【0185】

また、回収コンデンサC1に回収される電荷に基づく電圧は図6のノードN3の電圧と同じである。以下、ノードN3の電圧を回収電位Vmと呼ぶ。図6の回収コンデンサC1および回収コイルLは回収電位Vmに基づくLC共振を行う。これにより、図7に示すように、図6のノードN1の電圧NV1には変化ACが生じる。電圧NV1の変化ACは、回収電位Vmに応じて変化する。

【0186】

上記説明において、期間TA～TCの間、制御信号S2は常にローレベルであり、トランジスタQ2は常にオフしている。しかしながら、制御信号S2は書き込み期間P2（図2）の終了とともにハイレベルとなり、再び書き込み期間P2が開始されるとともにローレベルとなる。これにより、トランジスタQ2は書き込み期間P2以外で常にオンし、ノードN1が接地端子に接続される。この動作は、後述のチャージポンプ回路に所定量の電荷を蓄えるために行われる。

【0187】

ところで、期間TA～TCにおいて、図6の第1の電力回収回路8aの回収電位クランプ回路80では次の動作が行われている。

【0188】

回収電位クランプ回路80において、電源端子V1と接地端子との間に抵抗R1、R2が直列に接続されている。これにより、抵抗R1、R2間のノードN5には所定の電圧NV5が発生している。一方、ノードN4にはノードN3の回収電位Vmが与えられる。ここでは、説明を簡単にするためダイオードD3による電圧降下（例えば、0.7V）は無視する。回収電位Vmは後述の第1のデータドライバ群4aの動作に基づいて変動する。

【0189】

トランジスタQ5は、ノードN5の電圧NV5がノードN4の電圧以上である場合にオフし、ノードN5の電圧NV5がノードN4の電圧より低い場合にオンする。つまり、トランジスタQ5は、ノードN3の回収電位Vmが電圧NV5以下である場合にオフし、ノードN3の回収電位Vmが電圧NV5よりも高い場合にオンする。

【0190】

これにより、回収電位Vmが電圧NV5以下である場合、トランジスタQ5がオフするので、回収コンデンサC1に蓄えられた電荷は接地端子に放出されることなく保存される。

【0191】

また、回収電位Vmが電圧NV5より高い場合、トランジスタQ5がオンするので、回収コンデンサC1に蓄えられた電荷がノードN3、ダイオードD3、ノードN4、トランジスタQ5および抵抗R3を介して接地端子に放出される。その結果、ノードN3の回収電位Vmは電圧NV5を超えない。

【0192】

以下、図6の抵抗 R_1 、 R_2 および電源端子 V_1 に印加される電源電圧 V_{da} により設定される電圧 NV_5 に基づいて制限される回収電位 V_m の上限値を限界電圧 V_r と呼ぶ。

【0193】

なお、上記説明において、ダイオード D_3 による電圧降下を考慮した場合、ノード N_5 の電圧 NV_5 は限界電圧 V_r よりもダイオード D_3 の電圧降下分低く設定される。

【0194】

このように、回収電位クランプ回路80は、ノード N_3 の回収電位 V_m が限界電圧 V_r を超える場合にクランプ動作を行う。したがって、回収電位 V_m は限界電圧 V_r を超えない。本実施の形態に係るプラズマディスプレイ装置100に回収電位クランプ回路80を設けた理由については後述する。

【0195】

図7において、第2の電力回収回路8bのノード N_1 の電圧 NV_1 および制御信号 $S_1 \sim S_4$ の波形は、第1の電力回収回路8aのノード N_1 の電圧 NV_1 および制御信号 $S_1 \sim S_4$ の波形と同一であるが、位相のずれ TR が生じている。このタイミングのずれ TR は図5のデータパルス位相差 TR に相当する。

【0196】

続いて、図7の電圧 NV_1 の立ち上がりごとに変化する回収電位 V_m について、第1の電力回収回路8aおよび第1のデータドライバ群4aの動作に基づき説明する。

【0197】

図8は、PDP7の表示状態の一例を示す模式図であり、図9～図11は図8の表示状態を得る場合の図6のノード N_1 の電圧 NV_1 、アドレス電極4 1_1 に印加されるデータパルス P_{da} および第1のデータドライバ群4aに与えられる制御パルス $S_{a1} \sim S_{a4}$ のタイミングを示す図である。なお、図8では図1のPDP7の一部のみが示されている。

【0198】

図8(a)には、図1のPDP7の全ての画素が「白」を表示する一例が示されている。以下、このようにPDP7の全ての画素が「白」を表示する表示状態を「全白」と呼ぶ。この場合、PDP7の画素を構成する全ての放電セル14が放電する。

【0199】

図8(b)には、図1のPDP7の全ての画素が「黒」を表示する一例が示されている。以下、このようにPDP7の全ての画素が「黒」を表示する表示状態を「全黒」と呼ぶ。この場合、PDP7の画素を構成する全ての放電セル14が放電しない。

【0200】

図8(c)には、図1のPDP7の上下左右方向において、画素が交互に「白」および「黒」を表示する一例が示されている。図8(c)においては、アドレス電極4 1_1 上の放電セル14により形成される画素が上から「白」、「黒」、「白」および「黒」を表示し、アドレス電極4 1_2 上の放電セル14により形成される画素が上から「黒」、「白」、「黒」および「白」を表示している。以下、このようにPDP7の画素が上下左右方向において交互に「白」および「黒」を表示する状態をトリオ市松と呼ぶ。この場合、PDP7の上下左右方向において1つおきの画素を構成する放電セル14が放電し、それらの間の放電セル14が放電しない。

【0201】

図8(a)のPDP7の表示状態において、図6のノード N_1 の電圧 NV_1 、アドレス電極4 1_1 に印加されるデータパルス P_{da} および第1のデータドライバ群4aに与えられる制御パルス $S_{a1} \sim S_{a4}$ は図9に示すように変化する。

【0202】

図9に示すように、PDP7が「全白」である場合、図6のノード N_1 の電圧 NV_1 の変化 AC は、図6のノード N_3 の回収電位 V_m に応答して変化する。回収電位 V_m は図7の電圧 NV_1 の立ち上がりごとに変化する。

【0203】

図9によれば、電圧NV1の変化ACは、電圧NV1の立ち上がりごとに順次小さくなっている。この場合、書き込み期間P2では、制御パルス $S_{a1} \sim S_{a4}$ が常にローレベルとなる。これにより、PDP7が「全白」である場合、トランジスタ $Q_{11} \sim Q_{14}$ は常にオンし、トランジスタ $Q_{21} \sim Q_{24}$ は常にオフする。その結果、アドレス電極411には電圧NV1がデータパルスPdaとして印加されるためアドレス電極411の電圧は電圧NV1と同様に変化している。

【0204】

図9の期間PCにおいて、ノードN1の電圧NV1は上述のように図6の回収コイルLと浮遊容量Cfおよびパネル容量CpとのLC共振により上昇し、電源端子V1に印加される電圧Vdaにより固定され、その後、回収コイルLと浮遊容量Cfおよびパネル容量CpとのLC共振により下降する。

【0205】

トランジスタ $Q_{11} \sim Q_{14}$ が常にオンし、トランジスタ $Q_{21} \sim Q_{24}$ が常にオフすることにより、電圧NV1の上昇時には回収コンデンサC1に蓄えられた電荷が浮遊容量Cfおよびパネル容量Cpに放出される。一方、電圧NV1の下降時には浮遊容量Cfおよびパネル容量Cpに蓄えられた電荷が回収コンデンサC1に回収される。

【0206】

PDP7が「全白」である場合、上述のような期間PCが繰り返し行われることにより、回収コンデンサC1に蓄えられる電荷は徐々に上昇する。したがって、図6のノードN3の回収電位Vmはアドレス電極411～414へのデータパルスPdaの印加とともに順次上昇する。これにより、第1のデータドライバ群4aにおける回路損失（図9の矢印LQ）が低減される。第2のデータドライバ群4bにおいても同様に回路損失が低減される。

【0207】

ただし、回収電位Vmは、図6の回収電位クランプ回路80により図7の限界電圧Vrよりも上昇しない。その結果、上述の電圧NV1の変化ACは回収電位Vmが限界電圧Vrに固定されることにより一定となる。回収電位Vmの変化の詳細については後述する。

【0208】

図10に示すように、PDP7が「全黒」である場合、図6のノードN1の電圧NV1の変化ACは、図6のノードN3の回収電位Vmに応答して変化する。回収電位Vmは図7の電圧NV1の立ち上がりごとに変化する。

【0209】

図10によれば、電圧NV1の変化ACは、電圧NV1の立ち上がりごとに順次小さくなっている。この場合、書き込み期間P2では、制御パルス $S_{a1} \sim S_{a4}$ が常にハイレベルとなる。これにより、PDP7が「全黒」である場合、トランジスタ $Q_{11} \sim Q_{14}$ は常にオフし、トランジスタ $Q_{21} \sim Q_{24}$ は常にオンする。その結果、アドレス電極411には電圧NV1がデータパルスPdaとして印加されないためアドレス電極411の電圧は常に接地電位Vgとなっている。

【0210】

図10の期間PCにおいて、ノードN1の電圧NV1は上述のように図6の回収コイルLと浮遊容量CfとのLC共振により上昇し、電源端子V1に印加される電圧Vdaに固定され、その後、回収コイルLと浮遊容量CfとのLC共振により下降する。

【0211】

トランジスタ $Q_{11} \sim Q_{14}$ が常にオフし、トランジスタ $Q_{21} \sim Q_{24}$ が常にオンすることにより、電圧NV1の上昇時には回収コンデンサC1に蓄えられた電荷が浮遊容量Cfに放出される。一方、電圧NV1の下降時には浮遊容量Cfに蓄えられた電荷が回収コンデンサC1に回収される。

【0212】

PDP7が「全黒」である場合、上述のような期間PCが繰り返し行われることにより

、回収コンデンサ C_1 に蓄えられる電荷は徐々に上昇する。したがって、図 6 のノード N_3 の回収電位 V_m は電圧 NV_1 の立ち上がりごとに順次上昇する。これにより、第 1 のデータドライバ群 4 a における回路損失 (図 10 の矢印 LQ) が低減される。第 2 のデータドライバ群 4 b においても同様に回路損失が低減される。

【0213】

ただし、回収電位 V_m は、図 6 の回収電位クランプ回路 80 により図 7 の限界電圧 V_r よりも上昇しない。その結果、上述の電圧 NV_1 の変化 AC は回収電位 V_m が限界電圧 V_r に固定されることにより一定となる。

【0214】

図 11 に示すように、PDP 7 が「トリオ市松」である場合、図 6 のノード N_1 の電圧 NV_1 の変化 AC は、電圧 NV_1 の初めの立ち上がり時を除き、一定となる。これは、図 6 のノード N_3 の回収電位 V_m が電圧 NV_1 の初めの立ち上がり時を除き一定となるためである。

【0215】

この場合、書き込み期間 P_2 において、制御パルス S_{a1} 、 S_{a3} は、電圧 NV_1 の立ち上がりごとにローレベルとハイレベルとを繰り返す。また、制御パルス S_{a2} 、 S_{a4} は、電圧 NV_1 の立ち上がりごとに制御パルス S_{a1} 、 S_{a3} と逆にハイレベルとローレベルとを繰り返す。これにより、各トランジスタ $Q_{11} \sim Q_{14}$ のオン/オフおよびトランジスタ $Q_{21} \sim Q_{24}$ のオン/オフが期間 PC ごとに切り換わる。その結果、アドレス電極 4 1_1 の電圧は、制御パルス S_{a1} 、 S_{a3} がローレベルの場合に図 7 の電圧 V_{da} まで上昇し、制御パルス S_{a2} 、 S_{a4} がローレベルの場合に接地電位 V_g となる。

【0216】

図 11 の期間 PC において、ノード N_1 の電圧 NV_1 は上述のように図 6 の回収コイル L と浮遊容量 C_f およびパネル容量 C_p との LC 共振により上昇し、電源端子 V_1 に印加される電圧 V_{da} に固定され、その後、回収コイル L と浮遊容量 C_f およびパネル容量 C_p との LC 共振により下降する。

【0217】

回収電位 V_m は初めの期間 PC から 2 番目の期間 PC において後述の最小回収電位 V_s に変化し、その後、最小回収電位 V_s から変化しない。

【0218】

初めの期間 PC においては、電圧 NV_1 の上昇時にトランジスタ Q_{11} がオンし、トランジスタ Q_{21} がオフすることにより、回収コンデンサ C_1 に蓄えられた電荷が浮遊容量 C_f およびアドレス電極容量 C_{p1} に放出される。ここで、アドレス電極容量 C_{p1} は、オン状態にあるトランジスタ Q_{11} と接続されている。また、トランジスタ Q_{12} がオフし、トランジスタ Q_{22} がオンすることにより、回収コンデンサ C_1 に蓄えられた電荷が浮遊容量 C_f に回収される。

【0219】

そして、電圧 NV_1 の下降時には浮遊容量 C_f およびアドレス電極容量 C_{p1} に蓄えられた電荷が回収コンデンサ C_1 に回収される。ここで、電圧 NV_1 は浮遊容量 C_f およびアドレス電極容量 C_{p1} に蓄えられる電荷により接地電位 V_g まで下降することなく所定の電圧 V_{gx} まで下降する。このときのノード N_3 の回収電位 V_m が後述の最小回収電位 V_s である。

【0220】

この初めの期間 PC において、アドレス電極 4 1_1 には図 11 に示すようにデータパルス P_{da} が印加される。そして、アドレス電極 4 1_2 にはデータパルス P_{da} は印加されない。

【0221】

2 度目の期間 PC においては、電圧 NV_1 の上昇時にトランジスタ Q_{11} がオフし、トランジスタ Q_{21} がオンすることにより、回収コンデンサ C_1 に蓄えられた電荷が浮遊容量 C_f に放出される。また、トランジスタ Q_{12} がオンし、トランジスタ Q_{22} がオフす

ることにより、回収コンデンサ C_1 に蓄えられた電荷が浮遊容量 C_f およびアドレス電極容量 C_{p2} に放出される。ここで、アドレス電極容量 C_{p1} は、オン状態にあるトランジスタ Q_{11} と接続されている。

【0222】

そして、電圧 NV_1 の下降時には浮遊容量 C_f およびアドレス電極容量 C_{p2} に蓄えられた電荷が回収コンデンサ C_1 に回収される。ここで、電圧 NV_1 は浮遊容量 C_f およびパネル容量 C_{p2} に蓄えられる電荷により接地電位 V_g まで下降することなく所定の電圧 V_{gx} まで下降する。上記と同様に、このときの回収電位 V_m が後述の最小回収電位 V_s である。なお、初めの期間 PC においてアドレス電極容量 C_{p2} に蓄えられた電荷は、アドレス電極 4_{11} およびトランジスタ Q_{11} を介して接地端子に放出される。

【0223】

この期間 PC_2 において、アドレス電極 4_{12} には図11に示すようにデータパルス Pda が印加される。そして、アドレス電極 4_{11} にはデータパルス Pda は印加されない。

【0224】

上記では、図7の電圧 NV_1 の変化を2本のアドレス電極 4_{11} 、 4_{12} の電圧の変化に基づき説明したが、他のアドレス電極 $4_{13} \sim 4_{1n}$ についてもアドレス電極 4_{11} 、 4_{12} と同様の電圧の変化が生じるため、電圧 NV_1 は浮遊容量 C_f およびアドレス電極容量 $C_{p1} \sim C_{pn}$ に蓄えられる電荷により変化する。

【0225】

このように、 PDP_7 が「トリオ市松」である場合、上述のような期間 PC の動作が各アドレス電極 $4_{11} \sim 4_{1n}$ ごとに交互に繰り返されるため、全アドレス電極 $4_{11} \sim 4_{1n}$ に接続されるアドレス電極容量 $C_{p1} \sim C_{pn}$ に最大の電荷が蓄えられることがない。その結果、回収電位 V_m は上昇せず後述の最小回収電位 V_s となる。この場合の第1のデータドライバ群 $4a$ の回路損失が図11の矢印 LQ で示されている。この回路損失は第2のデータドライバ群 $4b$ においても同様に消費される。

【0226】

続いて、本実施の形態に係るプラズマディスプレイ装置100に回収電位クランプ回路80を設けた理由について図12および図13に基づきする。

【0227】

図12および図13は、図6の回収電位クランプ回路80の働きを説明するための図である。上述のように、本実施の形態に係るプラズマディスプレイ装置100では、図6の第1の電力回収回路8aおよび第2の電力回収回路8bにより、回路損失が低減されている。

【0228】

例えば、 PDP_7 が「全白」である場合、上述のように図1の各アドレス電極 $4_{11} \sim 4_{1n}$ 、 $4_{21} \sim 4_{2n}$ の電圧は、データパルス Pda が印加されるとともに順次上昇する(図12(a)および図13(a))。その結果、図6のパネル容量 C_p より回収コンデンサ C_1 に回収された電荷に基づく回収電力(矢印 RQ)が各アドレス電極 $4_{11} \sim 4_{1n}$ 、 $4_{21} \sim 4_{2n}$ へのデータパルス Pda の印加とともに順次減少してゆく。

【0229】

ここで、比較のために図6の第1の電力回収回路8aおよび第2の電力回収回路8bに回収電位クランプ回路80が設けられない場合を説明する。この場合、アドレス電極 $4_{11} \sim 4_{1n}$ 、 $4_{21} \sim 4_{2n}$ へのデータパルス Pda の印加が連続すると、アドレス電極 $4_{11} \sim 4_{1n}$ 、 $4_{21} \sim 4_{2n}$ の電圧は、図12(b)、(c)に示すように図6の電源端子 V_1 に印加される電圧 Vda に固定される。

【0230】

ところで、本実施の形態に係るプラズマディスプレイ装置100では、アドレス電極 $4_{11} \sim 4_{1n}$ 、 $4_{21} \sim 4_{2n}$ へのデータパルス Pda の印加時にデータパルス位相差 TR を発生させるため、アドレス電極 $4_{11} \sim 4_{1n}$ へデータパルス Pda を印加するタイ

ミング t_1 とアドレス電極 $4_{21} \sim 4_{2n}$ へデータパルス P_{da} を印加するタイミング t_2 とをずらしている (図 12 (b), (c))。

【0231】

しかしながら、アドレス電極 $4_{11} \sim 4_{1n}$, $4_{21} \sim 4_{2n}$ の電圧が電圧 V_{da} に固定されるため、データパルス P_{da} の立ち上がり部分が特定されず、確実にデータパルス位相差 TR を得ることができない。つまり、アドレス電極 $4_{11} \sim 4_{1n}$, $4_{21} \sim 4_{2n}$ の電圧とスキャン電極 $1_{21} \sim 1_{2m}$ に印加される図 2 の書き込みパルス P_w の電圧との差が、常にアドレス放電に必要な電圧値を超えてしまう。

【0232】

したがって、図 12 (b), (c) に示すように、アドレス電極 $4_{11} \sim 4_{1n}$ へタイミング t_1 に印加されるデータパルス P_{da} に対応して、書き込みパルス P_w が与えられるスキャン電極 1_{2k} (k は $1 \sim m$ のうちの任意の整数) においては、アドレス電極 $4_{11} \sim 4_{1n}$ 上の放電セル 14 およびアドレス電極 $4_{21} \sim 4_{2n}$ 上の放電セル 14 の放電電流が同時に流れる。

【0233】

つまり、アドレス電極 $4_{11} \sim 4_{1n}$, $4_{21} \sim 4_{2n}$ のデータパルス P_{da} の立ち上がりが特定されないため、スキャン電極 1_{2k} への書き込みパルス P_w の印加タイミング t_3 に対応して、アドレス電極 $4_{11} \sim 4_{1n}$ 上の放電セル 14 とアドレス電極 $4_{21} \sim 4_{2n}$ 上の放電セル 14 とは、同じタイミングでアドレス放電を起こす。それにより、スキャン電極 1_{2k} には 1 つのピークを有する放電電流 D_{A3} が発生する。

【0234】

この場合、スキャン電極 1_{2k} には、アドレス電極 $4_{11} \sim 4_{1n}$ 上の放電セル 14 およびアドレス電極 $4_{21} \sim 4_{2n}$ 上の放電セル 14 の放電電流が同時に流れるため、放電電流 D_{A3} の振幅 AM_3 は、大きくなる (図 12 (e))。それにより、スキャン電極 1_{2k} に印加される書き込みパルス P_w に大きな電圧降下 E_3 が発生する (図 12 (d))。その結果、上述のようにアドレス放電が不安定となる。

【0235】

このように、図 6 の第 1 の電力回収回路 8a および第 2 の電力回収回路 8b に回収電位クランプ回路 80 が設けられない場合、データパルス位相差 TR を得ることができず、安定したアドレス放電を確保することができない。

【0236】

これに対し、本実施の形態に係るプラズマディスプレイ装置 100 では、図 6 の第 1 の電力回収回路 8a および第 2 の電力回収回路 8b に回収電位クランプ回路 80 が設けられている。

【0237】

回収電位クランプ回路 80 は回収電力 (矢印 RQ) の減少を所定の値にとどめる。したがって、アドレス電極 $4_{11} \sim 4_{1n}$, $4_{21} \sim 4_{2n}$ へのデータパルス P_{da} の印加が連続する場合であっても、アドレス電極 $4_{11} \sim 4_{1n}$, $4_{21} \sim 4_{2n}$ の電圧は、図 13 (b), (c) に示すようにデータパルス P_{da} ごとに立ち上がり部分 S_t を有する。

【0238】

上記と同様に、本実施の形態に係るプラズマディスプレイ装置 100 では、アドレス電極 $4_{11} \sim 4_{1n}$ へデータパルス P_{da} を印加するタイミング t_1 とアドレス電極 $4_{21} \sim 4_{2n}$ へデータパルス P_{da} を印加するタイミング t_2 とをずらしている (図 13 (b), (c))。

【0239】

アドレス電極 $4_{11} \sim 4_{1n}$, $4_{21} \sim 4_{2n}$ の電圧がデータパルス P_{da} ごとに立ち上がり部分 S_t を有することにより、データパルス位相差 TR を得ることができる。つまり、アドレス電極 $4_{11} \sim 4_{1n}$, $4_{21} \sim 4_{2n}$ の電圧とスキャン電極 $1_{21} \sim 1_{2m}$ に印加される図 2 の書き込みパルス P_w の電圧との差が、立ち上がり部分 S_t ごとにアドレス放電に必要な電圧値を超える。

【0240】

したがって、図13(b), (c)に示すように、アドレス電極 $41_1 \sim 41_n$ へタイミング t_1 に印加されるデータパルス Pda に対応して、書き込みパルス Pw が与えられるスキャン電極 12_k (k は $1 \sim m$ のうちの任意の整数)においては、アドレス電極 $41_1 \sim 41_n$ 上の放電セル14およびアドレス電極 $42_1 \sim 42_n$ 上の放電セル14の放電電流がデータパルス位相差 TR 分ずれたタイミングで流れる。

【0241】

それにより、アドレス電極 $41_1 \sim 41_n$ 上の放電セル14はタイミング t_1 でアドレス放電を起こし、アドレス電極 $42_1 \sim 42_n$ 上の放電セル14はタイミング t_2 でアドレス放電を起こす。それにより、スキャン電極 12_k には2つのピークを有する放電電流 $DA4$ が発生する。

【0242】

この場合、スキャン電極 12_k には、アドレス電極 $41_1 \sim 41_n$ 上の放電セル14およびアドレス電極 $42_1 \sim 42_n$ 上の放電セル14の放電電流がデータパルス位相差 TR 分ずれたタイミングで流れるため、放電電流 $DA4$ の振幅 $AM4$ は、小さくなる(図13(e))。それにより、スキャン電極 12_k に印加される書き込みパルス Pw に発生する電圧降下 $E4$ が低減される(図13(d))。その結果、アドレス放電が安定となる。

【0243】

このように、本実施の形態に係るプラズマディスプレイ装置100では、図6の第1の電力回収回路8aおよび第2の電力回収回路8bに回収電位クランプ回路80を設けることにより、アドレス電極 $41_1 \sim 41_n$, $42_1 \sim 42_n$ へ個々に立ち上がり部分 St を有するデータパルス Pda を印加することができる。その結果、データパルス位相差 TR を得ることができ、安定したアドレス放電を確保することができる。

【0244】

続いて、図6のノードN3の回収電位 V_m の変化について説明する。図14は、書き込み期間における図6のノードN3の回収電位 V_m の変化を示す波形図である。

【0245】

図14では、回収電位 V_m の変化が図6のノードN1の電圧 $NV1$ の変化とともに示されている。以下の説明において、図中の矢印 $Pa1$, $Pa2$, $Pa3$ で示されるパルス期間 $Pa1$, $Pa2$, $Pa3$ の各々は、それぞれ期間 TA , TB , TC を含む。

【0246】

パルス期間 $Pa1$ の期間 TA において、回収電位 V_m は回収コンデンサ $C1$ から浮遊容量 Cf およびパネル容量 Cp への電荷の放出により低下する。そして、期間 TB では、回収電位 V_m は一定の値に保持される。その後、期間 TC では浮遊容量 Cf およびパネル容量 Cp に蓄えられた電荷が回収コンデンサ $C1$ に回収されることにより、回収電位 V_m の値は上昇する。

【0247】

この回収電位 V_m の上昇は浮遊容量 Cf およびパネル容量 Cp から回収される電荷の量により変化する。

【0248】

パルス期間 $Pa2$ の期間 TA において、回収電位 V_m は回収コンデンサ $C1$ から浮遊容量 Cf およびパネル容量 Cp への電荷の放出により再び低下する。そして、期間 TB では、回収電位 V_m は一定の値に保持される。その後、期間 TC では浮遊容量 Cf およびパネル容量 Cp に蓄えられた電荷が回収コンデンサ $C1$ に再び回収されることにより、回収電位 V_m の値は上昇する。

【0249】

ここで、回収電位 V_m の上昇が限界電圧 Vr を超える場合、図6の回収電位クランプ回路80の働きにより、回収電位 V_m は限界電圧 Vr に固定される。このパルス期間 $Pa2$ での回収電位 V_m の変化は、パルス期間 $Pa3$ においても同様に行われる。

【0250】

なお、各パルス期間において、期間 T_A に回収コンデンサ C_1 から放出される電荷に比べ、期間 T_C に回収コンデンサ C_1 に回収される電荷が少ない状態が続くと、回収電位 V_m は各パルス期間ごとに順次低下していく。この場合の回収電位 V_m の最小値を最小回収電位 V_s とする。最小回収電位 V_s は、図 6 の電源端子 V_1 に印加される電源電圧 V_{da} の $1/2$ よりも大きい値となる。

【0251】

図 15 は、図 14 の回収電位 V_m と各サブフィールドごとの制御パルス $S_{a1} \sim S_{an}$ の累積立ち上がり数との関係を示すグラフである。図 15 では、縦軸がサブフィールドごとの回収電位 V_m を表し、横軸が各サブフィールドごとの制御パルス $S_{a1} \sim S_{an}$ の累積立ち上がり数を表す。

【0252】

ここで、累積立ち上がり数とは制御パルス $S_{a1} \sim S_{an}$ の立ち上がりの累積回数をいう。換言すれば、累積立ち上がり数は図 1 の PDP 7 における複数の放電セル 14 の放電と非放電との切り替わりの回数である。回収電位 V_m は制御パルス $S_{a1} \sim S_{an}$ の累積立ち上がり数に応じて変化する。

【0253】

例えば、PDP 7 が「全白」または「全黒」を表示する場合、制御パルス $S_{a1} \sim S_{an}$ の累積立ち上がり数は、放電セル 14 の放電または非放電が切り替わることなく連続するため最少となる。このように、制御パルス $S_{a1} \sim S_{an}$ の累積立ち上がり数が少ない場合、回収電位 V_m は電源電圧 V_{da} に収束する。これにより、回収電位 V_m が上昇するので、第 1 および第 2 のデータドライバ群 4a, 4b の回路損失が累積立ち上がり数に応じて低減される。

【0254】

本実施の形態においては、回収電位 V_m は図 6 の回収電位クランプ回路 80 の働きにより限界電圧 V_r を超えない。回収電位 V_m が限界電圧 V_r となった場合、上述のように電圧 NV_1 には限界電圧 V_r を中心とした変化 AC が生じる。

【0255】

回収電位クランプ回路 80 が回収電位 V_m を限界電圧 V_r までに制限することにより、図 12 および図 13 において説明したようなデータパルス位相差 TR を得ることができる。このデータパルス位相差 TR の効果により、スキャン電極 12 に流れる放電電流のピークが低減されるため、データパルス P_{da} が連続してアドレス電極 411 ~ 41n に印加される場合の各放電セル 14 の放電が安定して行われる。

【0256】

PDP 7 が「トリオ市松」を表示する場合、制御パルス $S_{a1} \sim S_{an}$ の累積立ち上がり数は、全ての放電セル 14 間において放電と非放電との切り替わりが生じるため最多となる。このように、累積立ち上がり数が多い場合、回収電位 V_m は所定の値を有する最小回収電位 V_s に収束する。図 15 に示すように、最小回収電位 V_s は電源電位 V_{da} の $1/2$ よりも少し高い値を示す。

【0257】

図 3 の各サブフィールドの書き込み期間 P_2 終了時において、第 1 の電力回収回路 8a および第 2 の電力回収回路 8b に回収される電力は、リセットされることなく、次のサブフィールドの書き込み期間に用いられる。このため、回収コンデンサ C_1 による回収電位 V_m は書き込み期間 P_2 以外で徐々に放電される。

【0258】

図 6 の第 1 の電力回収回路 8a に内蔵されるチャージポンプ回路について説明する。上述のように、図 6 の第 1 の電力回収回路 8a にはチャージポンプ回路が内蔵される。

【0259】

図 16 は図 6 の第 1 の電力回収回路 8a に設けられるチャージポンプ回路の一例を示す回路図である。図 16 においては、図 6 の破線 NF の範囲に設けられるチャージポンプ回路 CG_1 , CG_2 の詳細な構成が示されている。このチャージポンプ回路 CG_1 , CG_2

は、トランジスタ Q1, Q3 のゲートに印加する制御信号 S1, S3 を制御するために用いられる。

【0260】

図16において、チャージポンプ回路 CG1 は、ダイオード Dp1、コンデンサ CCp1 および電界効果トランジスタ（以下、FETと略記する。）ドライバ FD1を含む。また、チャージポンプ回路 CG2 は、ダイオード Dp2、コンデンサ CCp2 および FETドライバ FD2を含む。

【0261】

図16において、FETドライバ FD1 は、図1のサブフィールド処理器3、電源端子 Vp1、接地端子、ノード N1, Na およびトランジスタ Q1 に接続されている。電源端子 Vp2 とノード Na との間にダイオード Dp1 が接続され、ノード N1 とノード Na との間にコンデンサ CCp1 が接続されている。

【0262】

FETドライバ FD2 は、図1のサブフィールド処理器3、電源端子 Vp3、接地端子、ノード Nb, Nc およびトランジスタ Q3 に接続されている。電源端子 Vp4 とノード Nc との間にダイオード Dp2 が接続され、ノード Nb とノード Nc との間にコンデンサ CCp2 が接続されている。

【0263】

次に、チャージポンプ回路 CG1 の動作について説明する。下記の説明において、トランジスタ Q1 は、ゲートにソースより約 15 V 高い電圧が与えられたときにオンするものとする。また、電源端子 Vp1 には 5 V の電圧が印加され、電源端子 Vp2 には 15 V の電圧が印加される。

【0264】

FETドライバ FD1 には、電源端子 Vp1 の電圧が電源電圧 Vcc として印加され、ノード N1 の電圧が基準電圧 VZ として印加され、ノード Na の電圧がバイアス電圧 VB として印加される。さらに、FETドライバ FD1 には、図1のサブフィールド処理器3から電力回収回路制御信号 Ha が与えられる。

【0265】

図2の書き込み期間 P2 以外の期間のチャージポンプ回路 CG1 の動作を説明する。この場合、図6のトランジスタ Q2 がオンする。これにより、ノード N1 は接地端子に接続されるので、ノード N1 の電圧 NV1 は接地電位となる。それにより、ノード Na の電圧がノード N1 の電圧 NV1 よりも高くなるので、コンデンサ CCp1 には電源端子 Vp2 に印加される 15 V の電源電圧により電荷が蓄えられる。その結果、ノード Na には約 15 V のバイアス電圧 VB が発生する。

【0266】

書き込み期間 P2 のチャージポンプ回路 CG1 の動作を説明する。書き込み期間 P2 において、ノード N1 の電圧 NV1 は図7に示したように変化する。

【0267】

この場合、FETドライバ FD1 には、ノード N1 から基準電圧 VZ として電圧 NV1 が与えられるとともに、書き込み期間 P2 以外の期間にコンデンサ CCp1 に蓄えられた電荷に基づく約 15 V のバイアス電圧 VB が与えられる。

【0268】

FETドライバ FD1 は、図7の期間 TB において電力回収回路制御信号 Ha に基づいて制御信号 S1 を基準電圧 VZ よりもバイアス電圧 VB だけ高いレベル（ハイレベル）に立ち上げる。その結果、トランジスタ Q1 のゲートの電圧がソースの電圧よりも約 15 V 高くなり、トランジスタ Q1 がオンする。

【0269】

次に、チャージポンプ回路 CG2 の動作について説明する。下記の説明において、トランジスタ Q3 は、ゲートにソースの電圧より約 15 V 高い電圧が与えられたときにオンするものとする。また、電源端子 Vp3 には 5 V の電圧が印加され、電源端子 Vp4 には 1

5 Vの電圧が印加される。

【0270】

FETドライバFD2には、電源端子Vp3の電圧が電源電圧Vccとして印加され、ノードNbの電圧が基準電圧VZとして印加され、ノードNcの電圧がバイアス電圧VBとして印加される。さらに、FETドライバFD2には、図1のサブフィールド処理器3から電力回収回路制御信号Haが与えられる。

【0271】

図2の書き込み期間P2以外の期間のチャージポンプ回路CG2の動作を説明する。この場合、図6のトランジスタQ2がオンする。これにより、ノードN1は接地端子に接続されるので、ノードN1の電圧NV1は接地電位となる。それにより、ノードN2の電圧NV2が接地電位となり、ノードNbの電位NVbが接地電位となる。ノードNcの電圧がノードNbの電圧NVbよりも高くなるので、コンデンサCCp2には電源端子Vp4に印加される15 Vの電源電圧により電荷が蓄えられる。その結果、ノードNcには約15 Vのバイアス電圧VBが発生する。

【0272】

書き込み期間P2のチャージポンプ回路CG2の動作を説明する。書き込み期間P2において、ノードNbの電圧NVbは変化する。

【0273】

この場合、FETドライバFD2には、ノードNbから基準電圧VZとして電圧NVbが与えられるとともに、書き込み期間P2以外の期間にコンデンサCCp2に蓄えられた電荷に基づく約15 Vのバイアス電圧VBが与えられる。

【0274】

FETドライバFD2は、図7の期間TAにおいて、電力回収回路制御信号Haに基づいて制御信号S3を基準電圧VZよりもバイアス電圧VBだけ高いレベル（ハイレベル）に立ち上げる。その結果、トランジスタQ3のゲートの電圧がソースの電圧NVbよりも約15 V高くなり、トランジスタQ3をオンする。

【0275】

このように、チャージポンプ回路CG1、CG2を用いることにより、ノードN1、N2の電圧が変化しても、トランジスタQ1、Q3を確実にオンさせることができる。

【0276】

図1の放電セル14が安定して放電するための条件は、書き込み電圧と維持電圧との関係に基づき決定される。書き込み電圧とは、アドレス放電のために選択されたアドレス電極と選択されたスキャン電極との間に印加される電圧をいい、図2の書き込み期間P2に図1のアドレス電極41₁～41_n、42₁～42_nに印加される図2のデータパルスPd_aの電圧とスキャン電極12₁～12_mに印加される図2の書き込みパルスPwの電圧との差である。

【0277】

また、維持電圧とは、維持放電のために各スキャン電極と各サステイン電極との間に印加される電圧をいい、図2の維持期間P3にスキャン電極12₁～12_mに印加される図2の維持パルスPscの電圧とサステイン電極13₁～13_mの電圧との差およびサステイン電極13₁～13_mに印加される図2の維持パルスPsuの電圧とスキャン電極12₁～12_mの電圧との差である。

【0278】

以下、図1のPDP7上の放電セル14を安定して放電させるために許容される書き込み電圧および維持電圧の範囲を駆動マージンと呼ぶ。図5で説明したように、データパルス位相差TRにより書き込みパルスPwの電圧降下量E2を低減すると、駆動マージンが拡大される。駆動マージンの拡大とデータパルス位相差TRの大きさとの関係について説明する。

【0279】

図17は、図1のプラズマディスプレイ装置の駆動マージンとデータパルス位相差との

関係を説明するためのグラフである。図17のグラフでは、横軸が書き込み電圧を示し、縦軸が維持電圧を示す。なお、図17に示される駆動マージンは、図15の限界電圧 V_r を電源電圧 V_{da} の0.8倍に設定した場合のものである。

【0280】

図17において、曲線L1を超える書き込み電圧および維持電圧が図1のPDP7に印加されると、選択されていない放電セル14が維持電圧だけで誤放電する場合がある。なお、曲線L1を超える書き込み電圧および維持電圧の範囲は矢印MO1で示される範囲である。例えば、曲線L1を超える書き込み電圧および維持電圧で「全黒」の画像を表示する場合、一部の放電セル14が誤放電し、画像が劣化する。

【0281】

また、図17において、曲線L2より低い維持電圧が図1のPDP7に印加されると、選択された放電セル14が十分に放電しない場合がある。なお、曲線L2より低い書き込み電圧および維持電圧の範囲は矢印MO2で示される範囲である。例えば、曲線L2より低い維持電圧で「全白」の画像を表示する場合、一部の放電セル14が放電せず、画像にちらつきが発生する。

【0282】

図1のプラズマディスプレイ装置100の駆動マージンは、これら曲線L1, L2および図5のデータパルス位相差TRにより決定される。

【0283】

ここで、データパルス位相差TRが0の場合に放電セル14を安定して放電させるために最低限必要な書き込み電圧を特定の維持電圧ごとに測定した結果が曲線L3により示されている。

【0284】

また、データパルス位相差TRが150nsの場合に放電セル14を安定して放電させるために最低限必要な書き込み電圧を特定の維持電圧ごとに測定した結果が曲線L4により示されている。

【0285】

さらに、データパルス位相差TRが200nsの場合に放電セル14を安定して放電させるために最低限必要な書き込み電圧を特定の維持電圧ごとに測定した結果が曲線L5により示されている。

【0286】

図17に示すように、放電セル14を安定して放電させるために最低限必要な書き込み電圧はデータパルス位相差TRが大きくなるにつれて低くなる。つまり、データパルス位相差TRを大きくすることにより、図5に示すようにスキャン電極に流れる放電電流のピークを低減することができるので、放電に必要な書き込み電圧の下限値を下げるができる。それにより、放電セル14を安定して放電させるために許容される書き込み電圧の範囲が広がる。

【0287】

図17の結果から、データパルス位相差TRが0に設定された場合には、駆動マージンは曲線L1, L2, L3で囲まれた範囲となる。また、データパルス位相差TRが150nsに設定された場合には、駆動マージンは曲線L1, L2, L4で囲まれた範囲となる。さらに、データパルス位相差TRが200nsに設定された場合には、駆動マージンは曲線L1, L2, L5で囲まれた範囲となる。これにより、駆動マージンはデータパルス位相差TRが大きいほど拡大されることがわかる。本実施の形態において、データパルス位相差TRは約200ns以上とすることが望ましいが、これについては後述する。

【0288】

なお、図17において、矢印MO3で示される範囲では、維持電圧に対して十分な書き込み電圧が得らず、放電セル14が十分に放電しない場合がある。例えば、曲線L5より低い書き込み電圧で「全白」の画像を表示する場合、一部の放電セル14が放電せず、画像にちらつきが発生する。

【0289】

本実施の形態において、図5のデータパルス位相差TRは以下のように設定されることが望ましい。

【0290】

図18は、「全白」の画像が表示されるとき書き込み電圧と位相差との関係を示すグラフである。縦軸が書き込み電圧を表し、横軸がデータパルス位相差TRを表す。

【0291】

図18において、実線J1は、維持電圧を所定の電圧値 V_e （図17参照）とし、限界電圧 V_r を $0.8V_{da}$ （ V_{da} は図6の電源電圧 V_{da} と同一）とした場合に図1の放電セル14の安定した放電を得ることのできる書き込み電圧の下限値を示す。したがって、図18のハッチングを施した範囲内では、放電セル14の安定した放電を得ることができる。

【0292】

横軸のデータパルス位相差TRに注目すると、約200nsを超える位相差がある場合、書き込み電圧の下限値が従来から一般に用いられている電圧値 V_j （図18の破線）の書き込み電圧に比べ非常に低くなる。したがって、本実施の形態に係るプラズマディスプレイ装置100においては、データパルス位相差TRを約200ns以上とすることが望ましい。

【0293】

図19は、「全白」の画像が表示されるとき書き込み電圧と限界電圧 V_r との関係を示すグラフである。縦軸が書き込み電圧を表し、横軸が限界電圧 V_r を表す。

【0294】

図19において、実線J2は、維持電圧を所定の電圧値 V_e （図17参照）とし、図5のデータパルス位相差TRを200nsとした場合に図1の放電セル14の安定した放電を得ることのできる書き込み電圧の下限値を示す。したがって、図19のハッチングを施した範囲内では、放電セル14の安定した放電を得ることができる。

【0295】

横軸の限界電圧 V_r に注目すると、限界電圧 V_r が約 $0.8V_{da}$ より低く設定される場合、従来から一般に用いられている電圧値 V_j （図18の破線）の書き込み電圧に比べ書き込み電圧の下限値が非常に低くなる。

【0296】

したがって、本実施の形態に係るプラズマディスプレイ装置100においては、限界電圧 V_r を約 $0.8V_{da}$ 以下とすることが望ましい。また、限界電圧 V_r を約 $0.5V_{da}$ から約 $0.8V_{da}$ に設定することがより望ましく、限界電圧 V_r を約 $0.8V_{da}$ に設定することがさらに望ましい。

【0297】

このようにデータパルス位相差TRおよび限界電圧 V_r を設定することにより、放電セル14の安定した放電を得るのに必要な書き込み電圧の下限値が拡大されるので、放電セル14の安定した放電を確保しつつ書き込み電圧を低減することができる。

【0298】

本実施の形態に係るプラズマディスプレイ装置100のアドレス期間における消費電力について説明する。ここで、本例における消費電力とは、アドレス電極 $4l_1 \sim 4l_n$ 、 $42_1 \sim 42_n$ にデータパルス P_{da} を印加することにより消費される電力をいう。なお、この消費電力は図9～図11の矢印LQで示される回路損失に相当する。

【0299】

図20は、第1の実施の形態に係るプラズマディスプレイ装置100の消費電力と他の構成を有するプラズマディスプレイ装置の消費電力とを比較するためのグラフである。

【0300】

本例では、本実施の形態に係るプラズマディスプレイ装置100の比較の対象として、電力回収を行わない従来のプラズマディスプレイ装置（無回収型プラズマディスプレイ装

置と呼ぶ。) および背景技術において説明した図 33 の電力回収回路 980 を備えるプラズマディスプレイ装置 (従来回収型プラズマディスプレイ装置と呼ぶ。) を用いる。なお、以下の説明において、第 1 の実施の形態に係るプラズマディスプレイ装置 100、無回収型プラズマディスプレイ装置および従来回収型プラズマディスプレイ装置は、一部を除きほぼ同様の構成を有するものとする。

【0301】

図 20 では、縦軸は第 1 の実施の形態に係るプラズマディスプレイ装置 100、無回収型プラズマディスプレイ装置および従来回収型プラズマディスプレイ装置の各々のデータドライバ群 4 および電力回収回路 8 のデータ回路損失相対比を示す。このデータ回路損失相対比は、従来回収型プラズマディスプレイ装置のデータ回路損失が最大となる「全白」表示のときを 100% とする場合の第 1 の実施の形態に係るプラズマディスプレイ装置 100、無回収型プラズマディスプレイ装置および従来回収型プラズマディスプレイ装置のデータ回路損失の比率である。また、横軸は各サブフィールドごとの制御パルス $S_{a1} \sim S_{an}$ の立ち上がり比率を示す。この立ち上がり比率は、各サブフィールドごとで立ち上がり可能な最大の回数に対する各サブフィールドごとの制御パルス $S_{a1} \sim S_{an}$ の累積立ち上がり数の比率を表しており、「トリオ市松」を表示する場合が最も累積立ち上がり数が多いため、累積立ち上がり数の比率が 100% となる。

【0302】

図 20 によれば、データ回路損失相対比の最大値が破線 L2 で表される従来回収型プラズマディスプレイ装置のデータ回路損失相対比 100% (立ち上がり比率 0% : 「全白」表示) であるものとして、一点鎖線 L1 で表される無回収型プラズマディスプレイ装置のデータ回路損失相対比の最大値は 200% (立ち上がり比率 100% : 「トリオ市松」表示) である。一方、太線 L3 で表される本実施の形態に係るプラズマディスプレイ装置 100 のデータ回路損失相対比の最大値は、従来回収型プラズマディスプレイ装置のデータ回路損失相対比 100% の約 3 分の 2 以下 (立ち上がり比率 100% : 「トリオ市松」表示) であり、最大となるデータ回路損失が大幅に低減されている。

【0303】

また、従来回収型プラズマディスプレイ装置のデータ回路損失の課題であった「全白」表示などの連続してデータパルス P_{da} がアドレス電極に印加される場合においても、本実施の形態に係るプラズマディスプレイ装置 100 では、データ回路損失が大幅に低減されている。

【0304】

本実施の形態に係るプラズマディスプレイ装置 100 においては、第 1 および第 2 のデータドライバ群 4a, 4b ならびに第 1 および第 2 の電力回収回路 8a, 8b によりデータパルス位相差 TR が生成される。これにより、放電セル 14 の安定した放電を確保しつつ書き込みパルス P_w の電圧 (駆動電圧) を低減することができ、駆動マージンが拡大される。

【0305】

なお、本実施の形態においては、2つのデータドライバ群と2つの電力回収回路を用いることによりデータパルス位相差 TR を生成しているが、これに限らず、複数のデータパルス位相差 TR を生成できるのであれば、データドライバ群および電力回収回路はさらに複数設けてもよい。

【0306】

上述のように図 6 のノード N3 の回収電位 V_m は、ノード N1 の電圧 $NV1$ の立ち上がり (データパルスの立ち上がり) ごとに、放電セル 14 の放電または非放電の切り替わり数 (図 15 の累積立ち上がり数) に応じて変化する。特に、累積立ち上がり数が少なくなると、回収電位 V_m は上昇する。これにより、回路損失が低減されるので、プラズマディスプレイ装置 100 の消費電力が十分に低減される。

【0307】

本実施の形態に係るプラズマディスプレイ装置 100 には図 6 の回収電位クランプ回路

80が設けられている。これにより、図6のノードN3の回収電位 V_m は、ノードN1の電圧 NV_1 の立ち上がり（データパルスの立ち上がり）ごとに変化するが、回収電位クランプ回路80により限界電圧 V_r よりも高くなならないように制御される。これにより、回収電位 V_m は図6の電源電圧 V_{da} まで上昇することがないので、図2のデータパルス P_{da} をアドレス電極 $41_1 \sim 41_n$ に印加するタイミングとデータパルス P_{da} をアドレス電極 $42_1 \sim 42_n$ に印加するタイミングとの間でデータパルス位相差 TR を発生させることができる。

【0308】

その結果、第1および第2の電力回収回路8a, 8bによりプラズマディスプレイ装置100の消費電力が低減されるとともに、図1の放電セル14の安定した放電を確保しつつ書き込みパルス P_w の電圧（駆動電圧）を低減することができ、駆動マージンが拡大される。

【0309】

以上、本実施の形態においては、第1および第2のデータドライバ群4a, 4bの各々が、アドレス電極 $41_1 \sim 41_n$ およびアドレス電極 $42_1 \sim 42_n$ に印加するデータパルス P_{da} の出力タイミングをずらすことによりデータパルス位相差 TR が生じている。

【0310】

しかしながら、上記データパルス位相差 TR を得ることができるのであれば、例えば、サブフィールド処理器3が、第1のデータドライバ群4aへ与えるデータドライバ制御信号 DS_a のタイミングおよび第1の電力回収回路8aへ与える電力回収回路制御信号 H_a のタイミングと第2のデータドライバ群4bへ与えるデータドライバ制御信号 DS_b のタイミングおよび第2の電力回収回路8bへ与える電力回収回路制御信号 H_b のタイミングとをずらすことによりデータパルス位相差 TR を生じさせてもよい。

【0311】

その他、データパルス位相差 TR を得るために、第1および第2のデータドライバ群4a, 4bの各々には、アドレス電極 $41_1 \sim 41_n$ およびアドレス電極 $42_1 \sim 42_n$ に印加するデータパルス P_{da} の出力タイミングが異なるように遅延回路を設けてもよい。

【0312】

さらに、データパルス位相差 TR を得るために、第1および第2の電力回収回路8a, 8bの各々には、第1および第2のデータドライバ群4a, 4bへ与えられる電力を遅延させる遅延回路を設けてもよい。

【0313】

第1のデータドライバ群4aに接続されるアドレス電極 $41_1 \sim 41_n$ は必ずしも複数である必要はなく、1つであってもよい。また、第2のデータドライバ群4bに接続されるアドレス電極 $42_1 \sim 42_n$ についても同様に、第2のデータドライバ群4bに接続されるアドレス電極 $42_1 \sim 42_n$ は必ずしも複数である必要はなく、1つであってもよい。

【0314】

さらに、本実施の形態において、第1のデータドライバ群4aに接続されるアドレス電極 $41_1 \sim 41_n$ の個数と第2のデータドライバ群4bに接続されるアドレス電極 $42_1 \sim 42_n$ との個数は同一であるが、これに限らず、第1および第2のデータドライバ群4a, 4bに設けられる各アドレス電極の個数は互いに異なってもよい。

【0315】

（第2の実施の形態）

第2の実施の形態に係るプラズマディスプレイ装置100は第1の実施の形態に係るプラズマディスプレイ装置100と以下の点を除き、同様の構成および動作を有する。

【0316】

第2の実施の形態に係るプラズマディスプレイ装置100においては、第1の電力回収回路8aおよび第2の電力回収回路8bに設けられる回収電位クランプ回路81が図6の回収電位クランプ回路80の構成と異なる。

【0317】

図21は、第2の実施の形態に係る第1のデータドライバ群4a、第1の電力回収回路8aおよびPDP7の回路図である。図21において、回収電位クランプ回路81は、抵抗R3、ダイオードD3、D4およびバイポーラトランジスタ（以下、トランジスタと略記する。）Q5を含む。

【0318】

回収電位クランプ回路81において、ノードN3とノードN4との間にはダイオードD3が接続され、ノードN4はトランジスタQ5のエミッタに接続され、トランジスタQ5のコレクタは抵抗R3を介して接地端子に接続されている。電源端子V2はトランジスタQ5のベースに接続されている。電源端子V2とノードN4との間にダイオードD4が接続されている。

【0319】

図7の期間TA～TCにおいて、第1の電力回収回路8aの回収電位クランプ回路81では次に示す動作が行われている。

【0320】

回収電位クランプ回路81において、電源端子V2には予め第1の実施の形態の限界電圧Vrが印加されている。一方、ノードN4にはノードN3の回収電位Vmが与えられる。回収電圧Vmは後述の第1のデータドライバ群4aの動作に基づいて変化する。ここでは、説明を簡単にするためダイオードD3による電圧降下は無視する。

【0321】

トランジスタQ5は、電源端子V2の限界電圧VrがノードN4の電圧以上である場合にオフし、電源端子V2の限界電圧VrがノードN4の電圧より低い場合にオンする。つまり、トランジスタQ5は、ノードN3の回収電位Vmが限界電圧Vr以下である場合にオフし、ノードN3の回収電位Vmが限界電圧Vrよりも高い場合にオンする。

【0322】

これにより、回収電位Vmが限界電圧Vr以下である場合、トランジスタQ5がオフするので、回収コンデンサC1に蓄えられた電荷は接地端子に放出されることなく保存される。

【0323】

また、ノードN3の回収電位Vmが限界電圧Vrより高い場合、トランジスタQ5がオンするので、回収コンデンサC1に蓄えられた電荷がノードN3、ダイオードD3、ノードN4、トランジスタQ5および抵抗R3を介して接地端子に放出される。その結果、ノードN3の回収電位Vmは限界電圧Vrを超えない。

【0324】

なお、上記説明において、ダイオードD3による電圧降下を考慮した場合、電源端子V2に印加される電圧は限界電圧VrよりもダイオードD3の電圧降下分低く設定される。ダイオードD3の電圧降下は、例えば、0.7Vである。

【0325】

このように、回収電位クランプ回路81は、ノードN3の回収電位Vmが限界電圧Vrを超える場合にクランプ動作を行う。したがって、回収電位Vmは限界電圧Vrを超えない。

【0326】

このように、第2の実施の形態に係るプラズマディスプレイ装置100の第1および第2の電力回収回路8a、8bの回収電位クランプ回路81では、電源端子V2に直接、限界電圧Vrを印加することによりトランジスタQ5のベースに印加する電圧の調整が容易となっている。

【0327】

（第3の実施の形態）

第3の実施の形態に係るプラズマディスプレイ装置100は第1の実施の形態に係るプラズマディスプレイ装置100と以下の点を除き、同様の構成および動作を有する。

【0328】

第3の実施の形態に係るプラズマディスプレイ装置100においては、第1の電力回収回路8aおよび第2の電力回収回路8bに設けられる回収電位クランプ回路82が図6の回収電位クランプ回路80の構成と異なる。

【0329】

図22は、第3の実施の形態に係る第1のデータドライバ群4a、第1の電力回収回路8aおよびPDP7の回路図である。図22において、回収電位クランプ回路82は、ツェナーダイオードD5を含む。

【0330】

回収電位クランプ回路82において、ノードN3と接地端子との間にツェナーダイオードD5が接続されている。なお、ノードN3はツェナーダイオードD5のカソードに接続されている。ツェナーダイオードD5には、カソードに第1の実施の形態の限界電圧 V_r を超える電圧が印加されることにより逆方向の電流が流れる。

【0331】

図7の期間TA～TCにおいて、第1の電力回収回路8aの回収電位クランプ回路82では次に示す動作が行われている。

【0332】

回収電位クランプ回路82において、ツェナーダイオードD5のカソードにはノードN3の回収電位 V_m が与えられる。回収電位 V_m は後述の第1のデータドライバ群4aの動作に基づいて変化する。上述のように、ツェナーダイオードD5はカソードに限界電圧 V_r を超える電圧が印加されることにより、逆方向の電流を流す。これにより、ツェナーダイオードD5はノードN3の回収電位 V_m が限界電圧 V_r 以下である場合に電流を流さず、ノードN3の回収電位 V_m が限界電圧 V_r よりも高い場合に逆方向の電流を流す。

【0333】

これにより、回収電位 V_m が限界電圧 V_r 以下である場合、回収コンデンサC1に蓄えられた電荷は接地端子に放出されることなく保存される。

【0334】

また、ノードN3の回収電位 V_m が限界電圧 V_r より高い場合、回収コンデンサC1に蓄えられた電荷がツェナーダイオードD5を介して接地端子に放出される。その結果、ノードN3の回収電位 V_m は限界電圧 V_r を超えない。

【0335】

このように、回収電位クランプ回路82は、ノードN3の回収電位 V_m が限界電圧 V_r を超える場合にクランプ動作を行う。したがって、回収電位 V_m は限界電圧 V_r を超えない。

【0336】

第3の実施の形態に係るプラズマディスプレイ装置100の第1および第2の電力回収回路8a、8bの回収電位クランプ回路82では、ツェナーダイオードD5のみによりノードN3の回収電位 V_m の制御を行っている。これにより、構成が容易となっている。

【0337】

(第4の実施の形態)

第4の実施の形態に係るプラズマディスプレイ装置100は第1の実施の形態に係るプラズマディスプレイ装置100と以下の点を除き、同様の構成および動作を有する。

【0338】

図23は第4の実施の形態に係るプラズマディスプレイ装置100の基本構成を示すブロック図である。

【0339】

第4の実施の形態に係るプラズマディスプレイ装置100は、第1の実施の形態に係るプラズマディスプレイ装置100の構成に加え、累積立ち上がり回数検出器20を備える。

【0340】

累積立ち上がり回数検出器 20 は、映像信号-サブフィールド対応付け器 2 に接続されるとともにサブフィールド処理器 3 に接続されている。累積立ち上がり回数検出器 20 は、映像信号-サブフィールド対応付け器 2 から与えられる画像データ SP に基づいて、複数のアドレス電極 $41_1 \sim 41_n$, $42_1 \sim 42_n$ へ印加するデータパルス Pda の立ち上がり、すなわち、制御パルス $Sa_1 \sim Sa_n$ の立ち上がり回数をカウントし、その回数を示すカウント信号 SL をサブフィールド処理器 3 へ与える。

【0341】

図 24 は、第 4 の実施の形態に係るサブフィールド処理器 3 の構成を説明するためのブロック図である。

【0342】

図 24 に示すように、第 4 の実施の形態に係るサブフィールド処理器 3 は、立ち上がり回数比較器 31、回収切替決定部 32 および制御信号発生器 33 を含む。

【0343】

サブフィールド処理器 3 においては、累積立ち上がり回数検出器 20 からのカウント信号 SL が立ち上がり回数比較器 31 に与えられる。

【0344】

立ち上がり回数比較器 31 には、予め制御パルス $Sa_1 \sim Sa_n$ の各サブフィールドごとで立ち上がり可能な最大の回数が記憶されている。立ち上がり回数比較器 31 は、カウント信号 SL に基づいて、立ち上がり比率を算出する。

【0345】

さらに、立ち上がり回数比較器 31 は、算出された立ち上がり比率が消費電力切り替わり比率 $\beta\%$ 以上であるか否かを判別し、その判別結果を示す判別信号 UC を回収切替決定部 32 に与える。消費電力切り替わり比率 $\beta\%$ についても、立ち上がり回数比較器 31 に、予め記憶されている。消費電力切り替わり比率 $\beta\%$ の設定については後述する。

【0346】

回収切替決定部 32 は、立ち上がり回数比較器 31 から与えられた判別信号 UC に基づいて制御信号 S2 を切り替えるための切替信号 CT を生成する。

【0347】

切替信号 CT は、例えば、算出された立ち上がり比率が消費電力切り替わり比率 $\beta\%$ 以上である場合にハイレベルとなり、算出された立ち上がり比率が消費電力切り替わり比率 $\beta\%$ 未満である場合にローレベルとなる。生成された切替信号 CT は制御信号発生器 33 に与えられる。

【0348】

制御信号発生器 33 は、映像信号-サブフィールド対応付け器 2 から与えられるサブフィールドの画像データ SP に基づいてデータドライバ制御信号 Dsa, DSb、電力回収回路制御信号 Ha, Hb、スキャンドライバ制御信号 CS およびサステインドライバ制御信号 US を生成するとともに、画像データ SP および切替信号 CT に基づいて制御信号 S1 ~ S4 を生成する。

【0349】

制御信号 S2 は、回収切替決定部 32 から与えられる切替信号 CT に基づいて生成され、第 1 および第 2 の電力回収回路 8a, 8b のトランジスタ Q2 (図 6) に与えられる。制御信号 S2 は、立ち上がり回数比較器 31 で算出された立ち上がり比率が消費電力切り替わり比率 $\beta\%$ 以上であるか否かにより、トランジスタ Q2 のオン/オフを切り替える。これにより、第 4 の実施の形態に係るプラズマディスプレイ装置 100 の電力回収の方式が切り替わる。詳細は後述する。

【0350】

本実施の形態では、上記の累積立ち上がり回数検出器 20 に代えて、累積立ち下がり回数検出器を用いてもよい。この場合、累積立ち下がり回数検出器は、制御パルス $Sa_1 \sim Sa_n$ の立ち下がり回数をカウントし、その回数を示すカウント信号 SL をサブフィールド処理器 3 へ与える。そして、サブフィールド処理器 3 においては、与えられたカウ

ト信号SLに基づいて上記と同様の処理が行われる。

【0351】

図25は、算出された立ち上がり比率が消費電力切り替わり比率 $\beta\%$ 以上である場合に、切替信号CTに基づいて電力回収の方式が切り替えられた場合の図23の第1および第2の電力回収回路8a, 8bの書き込み期間の動作を示すタイミング図である。図25には、図6のノードN1の電圧NV1およびトランジスタQ1~Q4にそれぞれ与えられる制御信号S1~S4の波形が実線により示されている。また、第2のデータドライバ群4bのノードN1の電圧NV1およびトランジスタQ1~Q4にそれぞれ与えられる制御信号S1~S4の信号波形が破線により示されている。

【0352】

図25においては、第1の電力回収回路8aにおける電圧NV1および制御信号S1~S4の後にかっこ書きで符号8aを付し、第2の電力回収回路8bにおける電圧NV1および制御信号S1~S4の後にかっこ書きで符号8bを付している。

【0353】

制御信号S1~S4がハイレベルの場合にトランジスタQ1~Q4はオンし、制御信号S1~S4がローレベルの場合にトランジスタQ1~Q4はオフする。

【0354】

期間TAおよび期間TBにおける制御信号S1~S4およびノードN1の電圧NV1の変化は第1の実施の形態に係る図7と同様である。

【0355】

期間TCにおいて、制御信号S4はハイレベルであり、制御信号S1~S3はローレベルである。これにより、トランジスタQ4がオンし、トランジスタQ1~Q3がオフする。この場合、回収コンデンサC1がトランジスタQ4およびダイオードD2を介して回収コイルLに接続され、回収コイルLと浮遊容量Cfおよびパネル容量CpとのLC共振により、ノードN1の電圧NV1が緩やかに下降する。このとき、浮遊容量Cfおよびパネル容量Cpの電荷が、回収コイルL、ダイオードD2およびトランジスタQ4を介して回収コンデンサC1へ回収される。

【0356】

本実施の形態では、上述のように、電力回収の方式の切り替えは、切替信号CTに基づいて、期間TDに制御信号S2が変化することにより生じる。

【0357】

この場合、期間TDにおいて、制御信号S1, S3, S4がローレベルとなり、制御信号S2がハイレベルとなる。これにより、トランジスタQ1, Q3, Q4がオフし、トランジスタQ2がオンする。それにより、ノードN1が接地される。

【0358】

その結果、期間TCにおいて所定の電圧値まで下降したノードN1の電圧NV1は、急激に下降して接地電位Vgに固定される。

【0359】

第1の電力回収回路8aが、期間TA~TDの動作を繰り返すことにより、パネル容量Cpおよび浮遊容量Cfに蓄積された電荷が回収コンデンサC1に回収されるとともに、回収された電荷が再びパネル容量Cpおよび浮遊容量Cfに与えられる。

【0360】

この場合、期間TBにおいてノードN1の電圧NV1は電源電圧Vdaに固定され、期間TDにおいてノードN1の電圧NV1は接地電位Vgに固定されるので、ノードN3の回収電位Vmは電源電圧Vdaの1/2の値となる(図25の変化AC)。

【0361】

このように、本実施の形態に係るプラズマディスプレイ装置100においては、立ち上がり比率および立ち下がり比率に基づいて電力回収の方式が切り替えられる。これは、プラズマディスプレイ装置100のアドレス期間における消費電力のさらなる低減を図るために行われている。電力回収の方式が切り替えられることによる消費電力の低減について

は後述する。

【0362】

図26は、第4の実施の形態に係るプラズマディスプレイ装置100の回収電位 V_m と各サブフィールドごとの制御パルス $S_{a1} \sim S_{an}$ の累積立ち上がり数との関係を示すグラフである。図26では、縦軸がサブフィールドごとの回収電位 V_m を表し、横軸が各サブフィールドごとの制御パルス $S_{a1} \sim S_{an}$ の累積立ち上がり数を表す。

【0363】

図26において、回収電位 V_m と各サブフィールドごとの制御パルス $S_{a1} \sim S_{an}$ の累積立ち上がり数との関係は下記を除き、第1の実施の形態において説明した図15と同様である。

【0364】

上述のように、本実施の形態に係るプラズマディスプレイ装置100においては、立ち上がり比率が消費電力切り替わり比率 $\beta\%$ 以上である場合、図25の期間TDに制御信号S2がハイレベルとなる。すなわち、電力回収の方式が切り替えられる。

【0365】

ここで、立ち上がり比率または立ち下がり比率が消費電力切り替わり比率 $\beta\%$ となる場合の各サブフィールドごとの制御パルス $S_{a1} \sim S_{an}$ の累積立ち上がり数または累積立ち下がり数を回収方式切替数 R_y と呼ぶ。

【0366】

本実施の形態において、電力回収の方式は各サブフィールドごとの制御パルス $S_{a1} \sim S_{an}$ の累積立ち上がり数または累積立ち下がり数が回収方式切替数 R_y となることにより切り替わる。その結果、図25および図26に示すように、回収電位 V_m は累積立ち上がり数または累積立ち下がり数が回収方式切替数 R_y 以上の場合に電源電圧 V_{da} の $1/2$ の値となる。

【0367】

本実施の形態に係るプラズマディスプレイ装置100のアドレス期間におけるデータ回路損失について説明する。

【0368】

図27は、第4の実施の形態に係るプラズマディスプレイ装置100の消費電力と他の構成を有するプラズマディスプレイ装置の消費電力とを比較するためのグラフである。

【0369】

本例では、本実施の形態に係るプラズマディスプレイ装置100の比較の対象として、第1の実施の形態に係るプラズマディスプレイ装置および従来回収型プラズマディスプレイ装置を用いる。

【0370】

図27では、図20と同様に縦軸が第4の実施の形態に係るプラズマディスプレイ装置100、第1の実施の形態に係るプラズマディスプレイ装置および従来回収型プラズマディスプレイ装置の各々のデータ回路損失相対比を示す。また、横軸が各サブフィールドごとの制御パルス $S_{a1} \sim S_{an}$ の立ち上がり比率を示す。

【0371】

図27において、各サブフィールドごとの制御パルス $S_{a1} \sim S_{an}$ の立ち上がり比率および立ち下がり比率の変化に伴う装置第1の実施の形態に係るプラズマディスプレイ装置および従来回収型プラズマディスプレイ装置のデータ回路損失相対比の変化は、第1の実施の形態の図20と同様である。従来回収型プラズマディスプレイ装置のデータ回路損失相対比が破線L2で表され、第1の実施の形態に係るプラズマディスプレイ装置のデータ回路損失相対比が点線L3で表されている。

【0372】

本実施の形態に係るプラズマディスプレイ装置100のデータ回路損失相対比が太線L4で表されている。

【0373】

ここで、図 27 の矢印 B b の範囲では、第 1 の実施の形態に係るプラズマディスプレイ装置のデータ回路損失相対比一点鎖線 L 3 の方が、従来回収型プラズマディスプレイ装置のデータ回路損失相対比が破線 L 2 よりも大きくなる。この一点鎖線 L 3 と破線 L 2 のデータ回路損失相対比が切り替わる立ち上がり比率を消費電力切り替わり比率 $\beta\%$ と定義する。この消費電力切り替わり比率 $\beta\%$ は、前述の立ち上がり回数比較器 31 に、予め記憶されている。

【0374】

図 27 に示すように、プラズマディスプレイ装置 100 のデータ回路損失相対比は矢印 B b の範囲を除き、第 1 の実施の形態に係るプラズマディスプレイ装置と同様である。

【0375】

図 27 の矢印 B b の範囲においては、破線 L 2 と太線 L 4 とが重なっている。すなわち、各サブフィールドごとの立ち上がり比率が消費電力切り替わり比率 $\beta\%$ 以上の範囲、または各サブフィールドごとの立ち下がり比率が消費電力切り替わり比率 $\beta\%$ 以上の範囲においては、本実施の形態に係るプラズマディスプレイ装置 100 は従来回収型プラズマディスプレイ装置と同様の電力回収の方式に切り替えられる。

【0376】

その結果、矢印 B b の範囲でプラズマディスプレイ装置 100 のデータ回路損失相対比が従来回収型プラズマディスプレイ装置のデータ回路損失相対比より大きくなることが防止される。さらに、第 1 の実施の形態に係るプラズマディスプレイ装置よりも本実施の形態に係るプラズマディスプレイ装置 100 の方が最大となるデータ回路損失が低減される。

【0377】

このように、第 4 の実施の形態に係るプラズマディスプレイ装置 100 は、各サブフィールドごとの立ち上がり比率が消費電力切り替わり比率 $\beta\%$ 以上（累積立ち上がり数が回収方式切替数 R_y 以上）の範囲、または各サブフィールドごとの立ち下がり比率が消費電力切り替わり比率 $\beta\%$ 以上（累積立ち下がり数が回収方式切替数 R_y 以上）の範囲において、従来回収型プラズマディスプレイ装置と同様の電力回収の方式に切り替えられる。したがって、全ての立ち上がり比率および立ち下がり比率の範囲で、消費電力が最適な電力回収の方式により十分に低減される。

【0378】

ここで、上記の消費電力切り替わり比率 $\beta\%$ は、例えば 95% である。この場合、第 4 の実施の形態に係るプラズマディスプレイ装置 100 は、各サブフィールドごとの立ち上がり比率が 95% 以上の範囲、または各サブフィールドごとの立ち下がり比率が 95% 以上の範囲において、従来回収型プラズマディスプレイ装置と同様の電力回収の方式に切り替えられる。

【0379】

無回収型プラズマディスプレイ装置、従来回収型プラズマディスプレイ装置および第 1 の実施の形態に係るプラズマディスプレイ装置 100 の消費電力の大小関係の変化について、図 28 に基づき説明する。

【0380】

図 28 は、各サブフィールドごとの立ち上がり比率が 100% の場合（トリオ市松の場合）の無回収型プラズマディスプレイ装置、従来回収型プラズマディスプレイ装置および第 1 の実施の形態に係るプラズマディスプレイ装置 100 の消費電力を比較するための図である。

【0381】

図 28 (a) に無回収型プラズマディスプレイ装置のアドレス電極 $41_1 \sim 41_n$, $42_1 \sim 42_n$ に印加されるデータパルス P d a を示し、図 28 (b) に従来回収型プラズマディスプレイ装置のアドレス電極 $41_1 \sim 41_n$, $42_1 \sim 42_n$ に印加されるデータパルス P d a を示し、図 28 (c) に第 1 の実施の形態に係るプラズマディスプレイ装置 100 のアドレス電極 $41_1 \sim 41_n$, $42_1 \sim 42_n$ に印加されるデータパルス P d a

を示す。

【0382】

図 28 (a) に示すように、立ち上がり比率が 100% の場合 (トリオ市松の場合)、無回収型プラズマディスプレイ装置のアドレス電極 $41_1 \sim 41_n$, $42_1 \sim 42_n$ に印加されるデータパルス Pda は、 $PDP7$ の各画素に対応して立ち上がりおよび立ち下がり を繰り返す。この場合、無回収型プラズマディスプレイ装置の消費電力は、矢印で示さ れる破線の範囲の直線的な電圧変化に相当する。

【0383】

図 28 (b) に示すように、立ち上がり比率が 100% の場合 (トリオ市松の場合)、従来回収型プラズマディスプレイ装置のアドレス電極 $41_1 \sim 41_n$, $42_1 \sim 42_n$ に印加されるデータパルス Pda は、無回収型プラズマディスプレイ装置と同様に $PDP7$ の各画素に対応して立ち上がりおよび立ち下りを繰り返す。この場合、従来回収型プラズマディスプレイ装置の消費電力は、矢印で示される破線の範囲の直線的な電圧変化に相当する。

【0384】

図28(c)に示すように、立ち上がり比率が100%の場合(トリオ市松の場合)、第1の実施の形態に係るプラズマディスプレイ装置100のアドレス電極41₁~41_n、42₁~42_nに印加されるデータパルスPdaは、PDP7の各画素に対応して立ち上がりおよび立ち下がりを経る。この場合、第1の実施の形態に係るプラズマディスプレイ装置100の消費電力は、矢印で示される破線の範囲の直線的な電圧変化に相当する。

【0385】

上記の図 28 (a), (b), (c) を比較する。図 28 (a) の直線的な電圧変化の大きさは、図 28 (b), (c) の直線的な電圧変化の大きさに比べて非常に大きい。したがって、立ち上がり比率が 100 % の場合（トリオ市松の場合）には無回収型プラズマディスプレイ装置の消費電力が最大となる。

【0386】

図 28 (c) に示すように、第1の実施の形態に係るプラズマディスプレイ装置 100 においては、各データパルス P d a の電圧が立ち上がり開始時および立ち上がり終了時にそれぞれ直線的に変化する。それにより、各データパルス P d a の立ち上がり開始時および立ち上がり終了時に電力消費が発生する。

【0 3 8 7】

一方、図28(b)に示すように、従来回収型プラズマディスプレイ装置においては、各データパルスPdaの電圧が立ち上がり終了時に直線的に変化する。それにより、各データパルスPdaの立ち上がり終了時に電力消費が発生する。

【0388】

したがって、立ち上がり比率が100%の場合（トリオ市松の場合）には、第1の実施の形態に係るプラズマディスプレイ装置100において発生する消費電力が、従来回収型プラズマディスプレイ装置において発生する消費電力よりも大きくなる（図20の矢印Bbの範囲）。

【0 3 8 9】

これに対し、第4の実施の形態に係るプラズマディスプレイ装置100は、立ち上がり比率が100%の場合（トリオ市松の場合）、電力回収の方式が従来回収型プラズマディスプレイ装置と同様に切り替えられる。したがって、第4の実施の形態に係るプラズマディスプレイ装置100の消費電力は、立ち上がり比率が100%の場合（トリオ市松の場合）でも、他の構成を有するプラズマディスプレイ装置の消費電力と比較して大きくなることが防止されている（図27）。

【0390】

このように、第4の実施の形態に係るプラズマディスプレイ装置100では、立ち上がり比率または立ち下がり比率が、消費電力切り替わり比率 $\beta\%$ を超える場合に電力回収の

方式が従来回収型プラズマディスプレイ装置の電力回収の方式に切り替わる。その結果、第4の実施の形態に係るプラズマディスプレイ装置100によれば、立ち上がり比率または立ち下がり比率が消費電力切り替わり比率 $\beta\%$ を超える場合であっても、十分に消費電力を低減することが可能となっている。

【0391】

すなわち、第4の実施の形態に係るプラズマディスプレイ装置100は、発光状態にかかわらず十分に消費電力を低減することが可能となっている。

【0392】

なお、第4の実施の形態に係るプラズマディスプレイ装置100の備える電力回収回路8aおよび第2の電力回収回路8bは、図6の構成に限らず、図21または図22の構成を有してもよい。

【0393】

さらに、第4の実施の形態に係るプラズマディスプレイ装置100の備える図24の立ち上がり回数比較器31では、累積立ち上がり回数検出器20からのカウント信号SLに基づいて、立ち上がり比率を算出し、算出された立ち上がり比率が消費電力切り替わり比率 $\beta\%$ 以上であるか否かを判別し、その判別結果を示す判別信号UCを図24の回収切替決定部32に与えているが、回収方式切替数Ryを予め記憶し、累積立ち上がり回数検出器20からのカウント信号SLが、回収方式切替数Ry以上であるか否かを判別し、その判別結果を示す判別信号UCを回収切替決定部32に与えてもよい。

【0394】

以上の第1～第4の実施の形態においては、プラズマディスプレイ装置100が表示装置に相当し、複数のアドレス電極41₁～41_n、42₁～42_nが第1の電極に相当し、複数のスキャン電極12₁～12_mが第2の電極に相当し、放電セル14が容量性発光素子に相当し、PDP7が表示パネルに相当し、サブフィールド処理器3、第1のデータドライバ群4aおよび第1の電力回収回路8aから構成される回路ならびに第2のデータドライバ群4bおよび第2の電力回収回路8bから構成される回路がドライブ回路に相当する。

【0395】

また、図6のノードN1の電圧NV1が駆動パルスに相当し、図2および図3の書き込み期間P2がアドレス期間に相当し、データパルス位相差TRが位相差に相当し、データパルスPdaがデータパルスに相当する。

【0396】

さらに、電源電圧Vdaが第1の電源電圧に相当し、電源端子V1が第1の電源端子に相当し、図6のノードN1が第1のノードに相当し、Nチャネル電界効果トランジスタQ1が第1のスイッチング素子に相当し、Nチャネル電界効果トランジスタQ2が第2のスイッチング素子に相当する。

【0397】

また、ノードN2が第2のノードに相当し、回収コイルLが誘導性素子に相当し、ノードN3が第3のノードに相当し、Nチャネル電界効果トランジスタQ3が第3のスイッチング素子に相当し、Nチャネル電界効果トランジスタQ4が第4のスイッチング素子に相当し、回収コンデンサC1が回収用容量性素子に相当する。

【0398】

さらに、限界電圧Vrが所定値に相当し、回収電位クランプ回路80、81、82が電位制限回路に相当し、Pチャネル電界効果トランジスタQ1₁～Q1_nおよびNチャネル電界効果トランジスタQ2₁～Q2_nが第1のスイッチング回路に相当し、図6のノードN5の電圧NV5および図21の電源端子V2に印加される電圧が制御信号に相当し、電源端子V2に印加される電圧が第2の電源電圧に相当し、電源端子V2が第2の電源端子に相当する。

【0399】

また、ダイオードD3、D4、バイポーラトランジスタQ5および抵抗R3が第2のス

イッチング回路に相当し、ノードN4が第4のノードに相当し、バイポーラトランジスタQ5が第5のスイッチング素子に相当し、ダイオードD3およびツェナーダイオードD5が一方向性導通素子に相当し、チャージポンプ回路CG1, CG2がチャージポンプ回路に相当する。

【0400】

さらに、ノードNa, Ncは第5のノードに相当し、コンデンサCCp1, CCp2が充電用容量素子に相当し、電源端子Vp2, Vp4が第3の電源端子に相当し、電源端子Vp2, Vp4に印加される電圧(15V)が第3の電源電圧に相当し、ダイオードDp1, Dp2が一方向性導通素子に相当し、FETドライバFD1, FD2が制御信号出力回路に相当する。

【0401】

その上、第1の電力回収回路8aおよび第2の電力回収回路8bが印加回路に相当し、抵抗R1, R2およびノードN5が分割回路に相当し、累積立ち上がり回数検出器20が回数検出部に相当し、サブフィールド処理器3、立ち上がり回数比較器31、回収切替決定部32および制御信号発生器33が制御部に相当する。また、立ち上がり比率および立ち下がり比率がデータパルスの立ち上がり可能な最大の回数または立ち下がり可能な最大の回数に対する回数検出部により算出された回数の比率に相当し、消費電力切り替わり比率 $\beta\%$ が所定の比率値に相当する。さらに、画像データSPが画像データに相当し、映像信号-サブフィールド対応付け器2が変換部に相当する。

【産業上の利用可能性】

【0402】

本発明は、複数の放電セルを選択的に放電させるとともに放電セルの電荷を回収しつつ画像を表示する表示装置およびその駆動方法に有用である。

【図面の簡単な説明】

【0403】

【図1】第1の実施の形態に係るプラズマディスプレイ装置の基本構成を示すブロック図

【図2】図1のアドレス電極、スキャン電極およびサステイン電極に与えられる駆動電圧の一例を示すタイミング図

【図3】図1のプラズマディスプレイ装置に用いられるADS方式を説明するための説明図

【図4】図1のPDPの表示状態の一例を示す模式図

【図5】データパルス位相差に対するアドレス放電電流の依存性を説明するための図

【図6】図1の第1のデータドライバ群、第1の電力回収回路およびPDPの回路図

【図7】図1の第1および第2の電力回収回路の書き込み期間の動作を示すタイミング図

【図8】PDPの表示状態の一例を示す模式図

【図9】図8の表示状態を得る場合の図6のノードN1の電圧、アドレス電極に印加されるデータパルスおよび第1のデータドライバ群に与えられる制御パルスのタイミングを示す図

【図10】図8の表示状態を得る場合の図6のノードの電圧、アドレス電極に印加されるデータパルスおよび第1のデータドライバ群に与えられる制御パルスのタイミングを示す図

【図11】図8の表示状態を得る場合の図6のノードの電圧、アドレス電極に印加されるデータパルスおよび第1のデータドライバ群に与えられる制御パルスのタイミングを示す図

【図12】図6の回収電位クランプ回路の働きを説明するための図

【図13】図6の回収電位クランプ回路の働きを説明するための図

【図14】書き込み期間における図6のノードの回収電位の変化を示す波形図

【図15】図14の回収電位と各サブフィールドごとの制御パルスの累積立ち上がり

数との関係を示すグラフ

【図 16】図 6 の第 1 の電力回収回路に設けられるチャージポンプ回路の一例を示す回路図

【図 17】図 1 のプラズマディスプレイ装置の駆動マージンとデータパルス位相差との関係を説明するためのグラフ

【図 18】「全白」の画像が表示されるとき書き込み電圧と位相差との関係を示すグラフ

【図 19】「全白」の画像が表示されるとき書き込み電圧と限界電圧との関係を示すグラフ

【図 20】第 1 の実施の形態に係るプラズマディスプレイ装置の消費電力と他の構成を有するプラズマディスプレイ装置の消費電力とを比較するためのグラフ

【図 21】第 2 の実施の形態に係る第 1 のデータドライバ群、第 1 の電力回収回路および PDP の回路図

【図 22】第 3 の実施の形態に係る第 1 のデータドライバ群、第 1 の電力回収回路および PDP の回路図

【図 23】第 4 の実施の形態に係るプラズマディスプレイ装置の基本構成を示すブロック図

【図 24】第 4 の実施の形態に係るサブフィールド処理器の構成を説明するためのブロック図

【図 25】制御信号により電力回収の方式が切り替えられた場合の図 23 の第 1 および第 2 の電力回収回路の書き込み期間の動作を示すタイミング図

【図 26】第 4 の実施の形態に係るプラズマディスプレイ装置の回収電位と各サブフィールドごとの制御パルスの累積立ち上がり数との関係を示すグラフ

【図 27】第 4 の実施の形態に係るプラズマディスプレイ装置の消費電力と他の構成を有するプラズマディスプレイ装置の消費電力とを比較するためのグラフ

【図 28】各サブフィールドごとの立ち上がり比率が 100% の場合（トリオ市松の場合）の無回収型プラズマディスプレイ装置、従来回収型プラズマディスプレイ装置および第 1 の実施の形態に係るプラズマディスプレイ装置の消費電力を比較するための図

【図 29】従来の AC 型プラズマディスプレイ装置の基本構成を示すブロック図

【図 30】図 29 の PDP におけるアドレス電極、スキャン電極およびサステイン電極の駆動電圧の一例を示すタイミング図

【図 31】複数に分割されたデータドライバにより構成されるプラズマディスプレイ装置の PDP の表示状態の一例を示す模式図

【図 32】データパルス位相差に対するアドレス放電電流の依存性を説明するための図

【図 33】従来の電力回収回路の一例を示す回路図

【図 34】図 33 の電力回収回路の書き込み期間の動作を示すタイミング図

【図 35】PDP の表示状態の一例を示す模式図

【図 36】図 35 の表示状態を得るためにアドレス電極に印加されるデータパルスの波形図

【符号の説明】

【0404】

2 映像信号—サブフィールド対応付け器

3 サブフィールド処理器

4 a 第 1 のデータドライバ群

4 b 第 2 のデータドライバ群

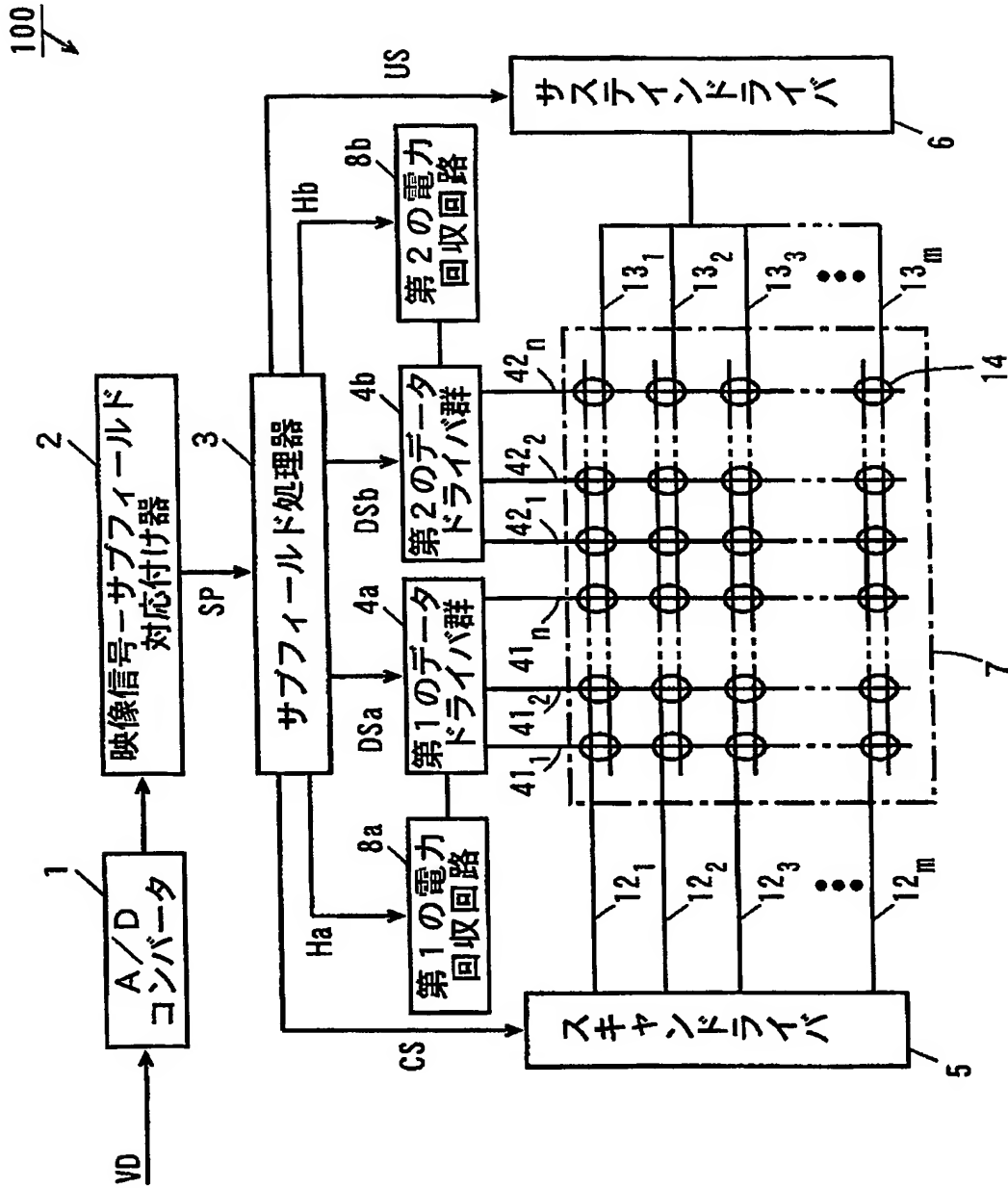
7 PDP

8 a 第 1 の電力回収回路

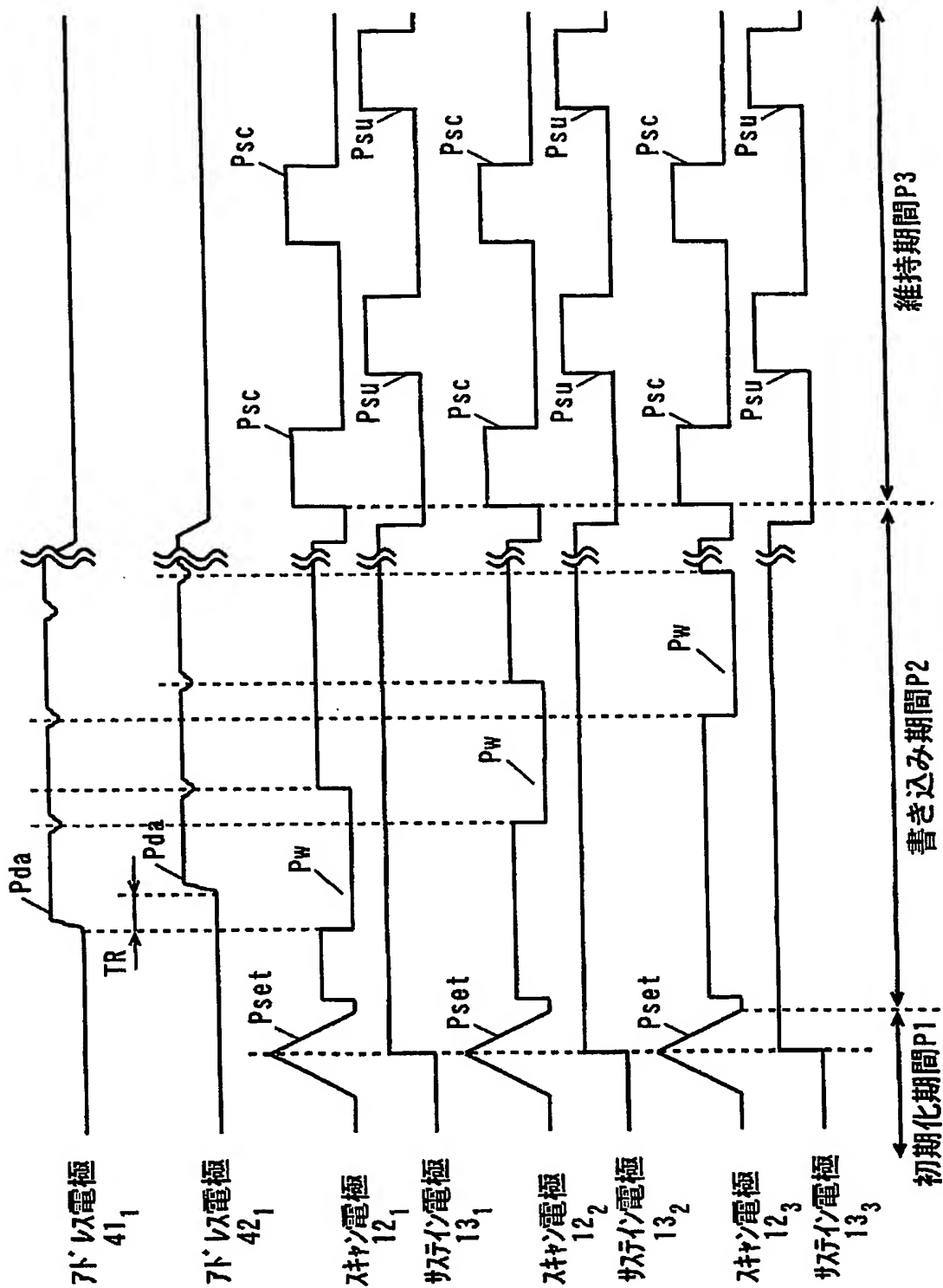
8 b 第 2 の電力回収回路

12₁ ~ 12_n スキャン電極
14 放電セル
20 累積立ち上がり回数検出器
31 立ち上がり回数比較器
32 回収切替決定部
33 制御信号発生器
41₁ ~ 41_n, 42₁ ~ 42_n アドレス電極
80, 81, 82 回収電位クランプ回路
100 プラズマディスプレイ装置
C1 回収コンデンサ
CCp1, CCp2 コンデンサ
CG1, CG2 チャージポンプ回路
Cf 浮遊容量
Cp パネル容量
D3, Dp1, Dp2 ダイオード
D5 ツェナーダイオード
FD1, FD2 FETドライバ
L 回収コイル
N1~N5, Na, Nc ノード
NV1, NV5 電圧
P2 書き込み期間
Pda データパルス
Q1~Q4, Q2₁ ~ Q2_n Nチャネル電界効果トランジスタ
Q1₁ ~ Q1_n Pチャネル電界効果トランジスタ
Q5 バイポーラトランジスタ
R1, R2 抵抗
Sa1 ~ Sa_n 制御パルス
SP 画像データ
TR データパルス位相差
Vda 電源電圧
V1, V2, Vp2, Vp4 電源端子
Vr 限界電圧

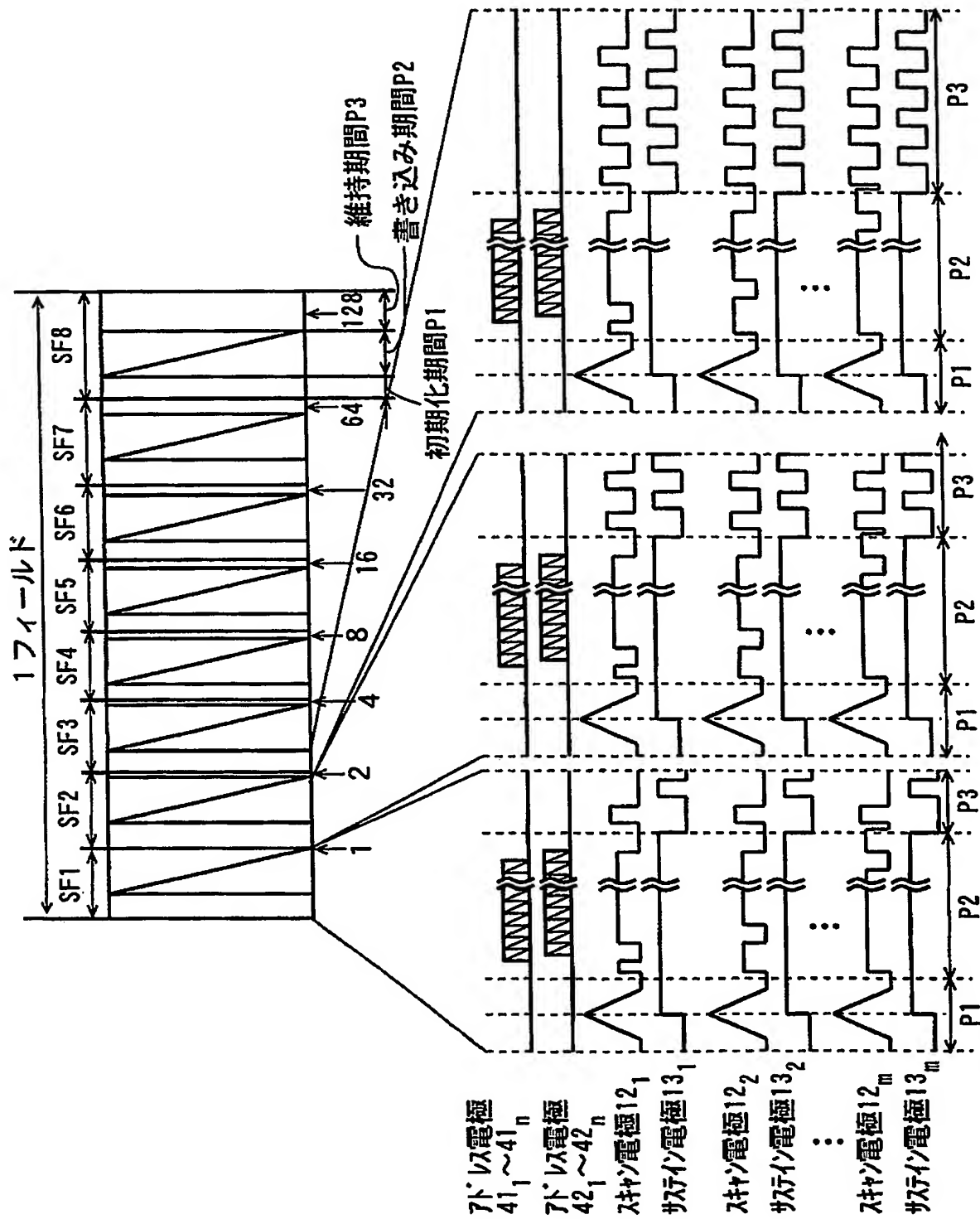
【書類名】 図面
【図1】



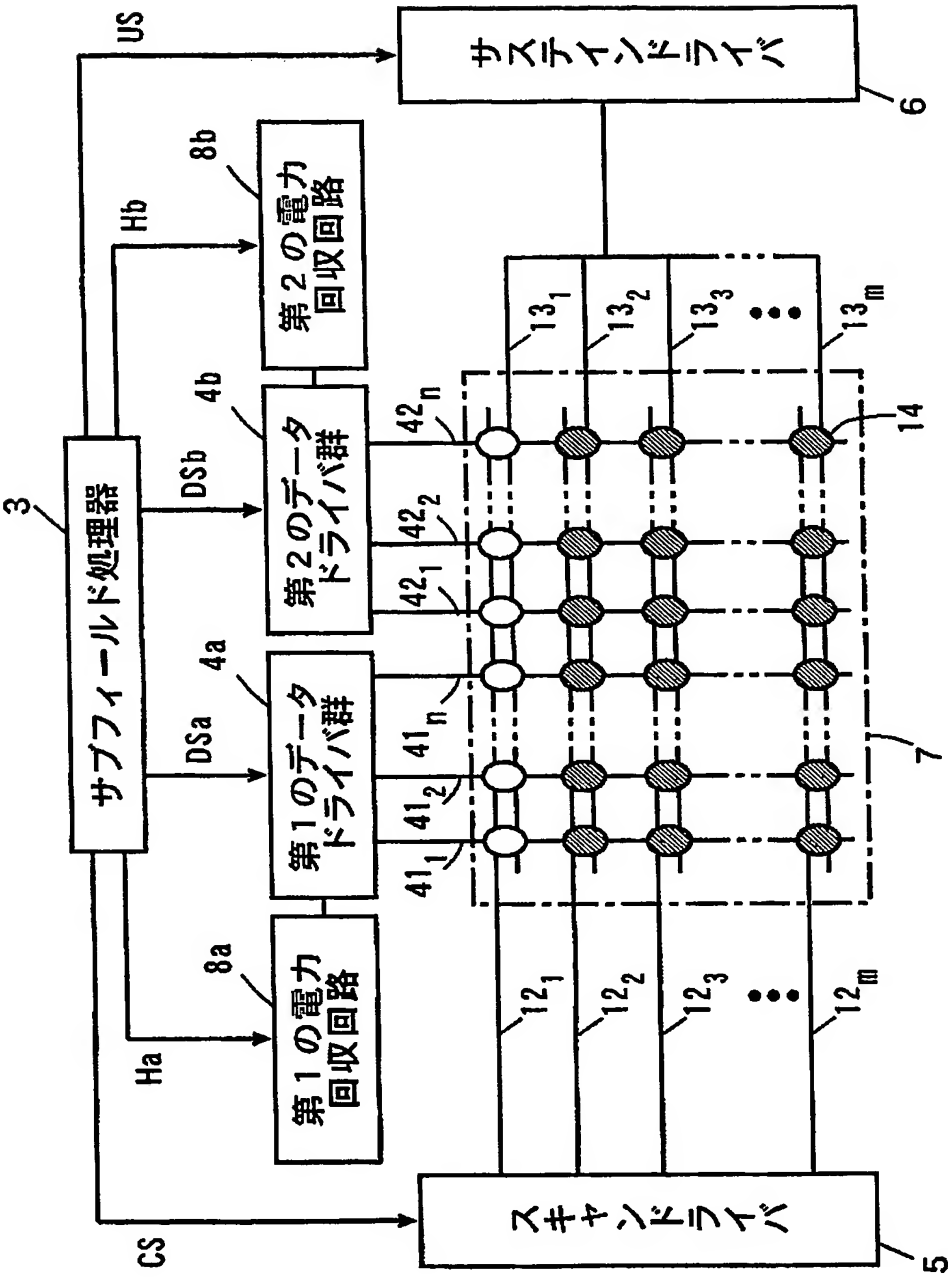
【図2】



【図 3】



【図4】



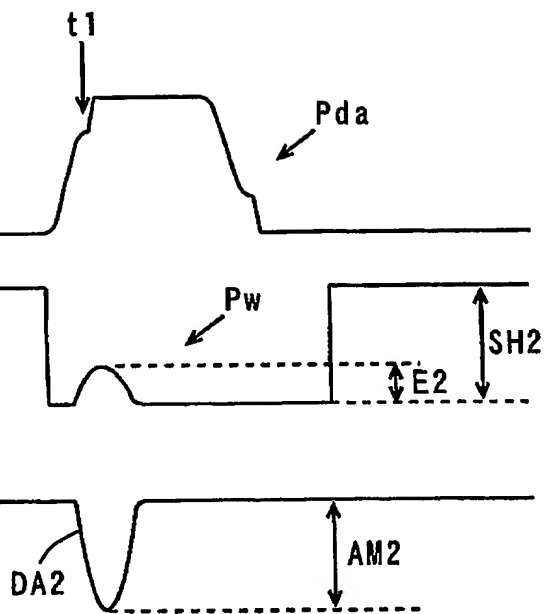
【図 5】

(a)

アドレス電極
41₁~41_n
42₁~42_n

スキャン電極
12₁

スキャン電極
12₁に流れる
放電電流



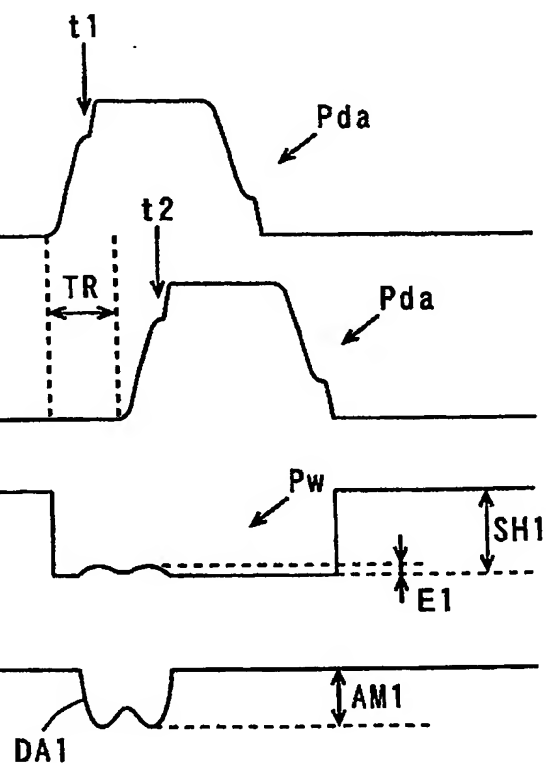
(b)

アドレス電極
41₁~41_n

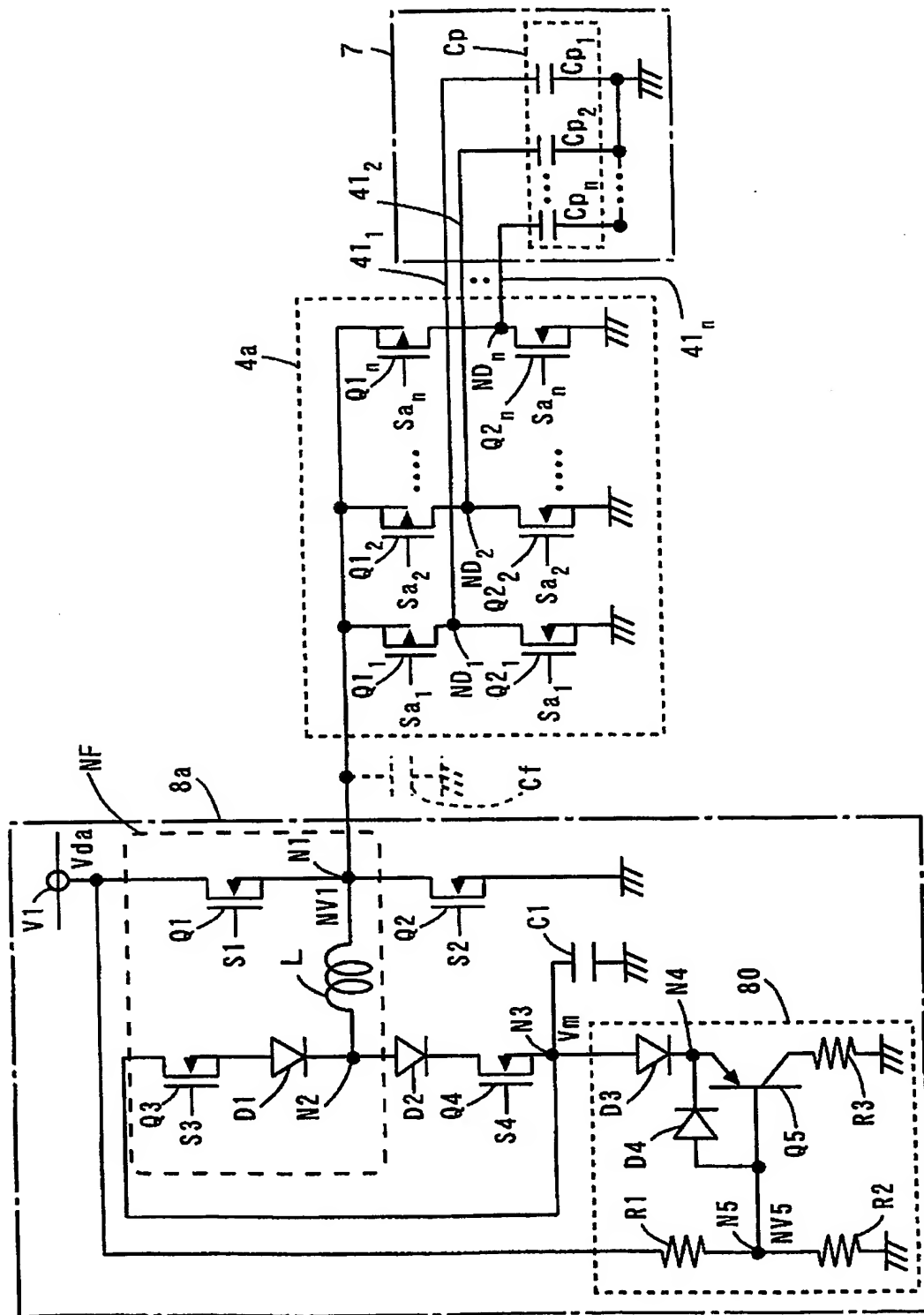
アドレス電極
42₁~42_n

スキャン電極
12₁

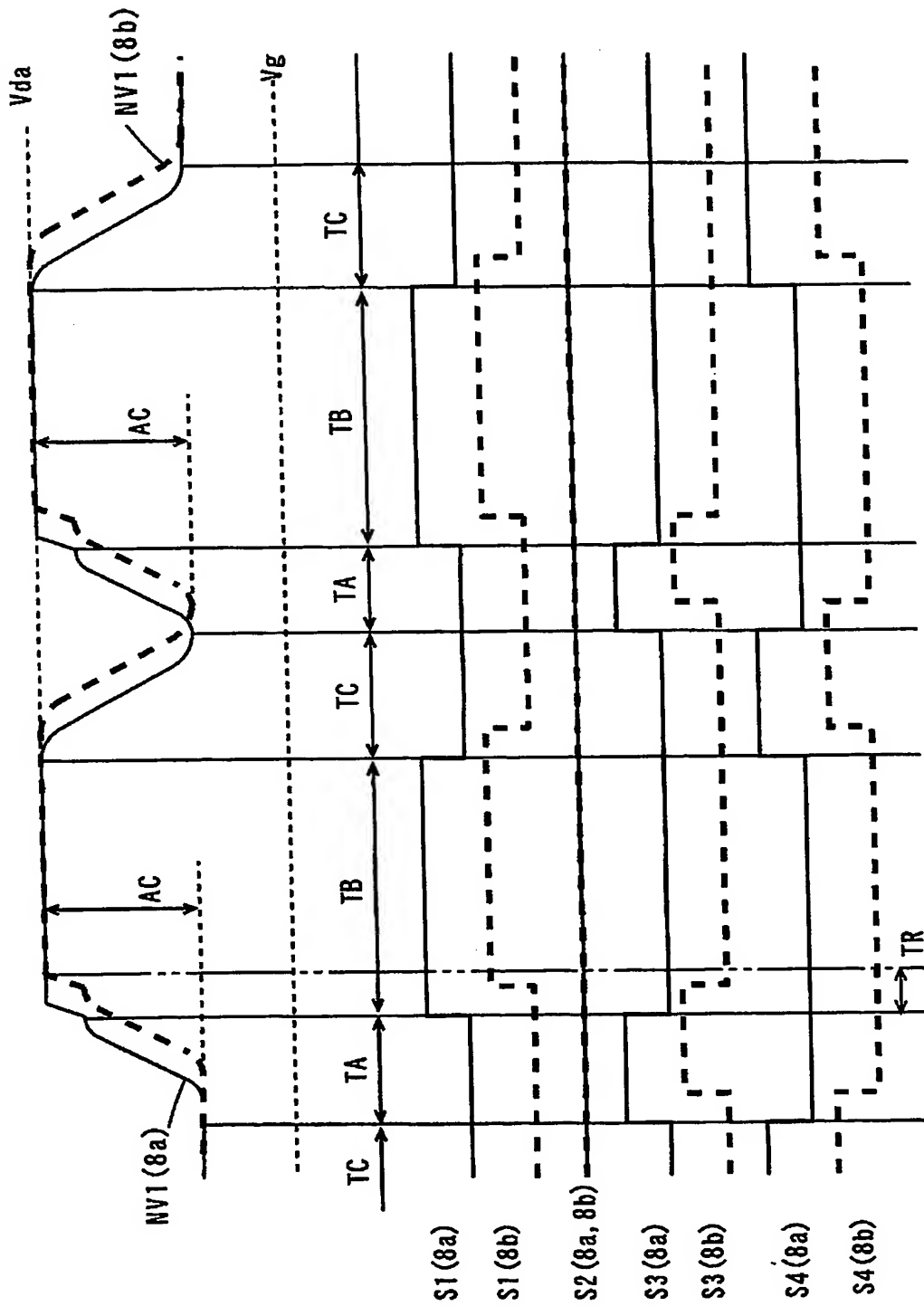
スキャン電極
12₁に流れる
放電電流



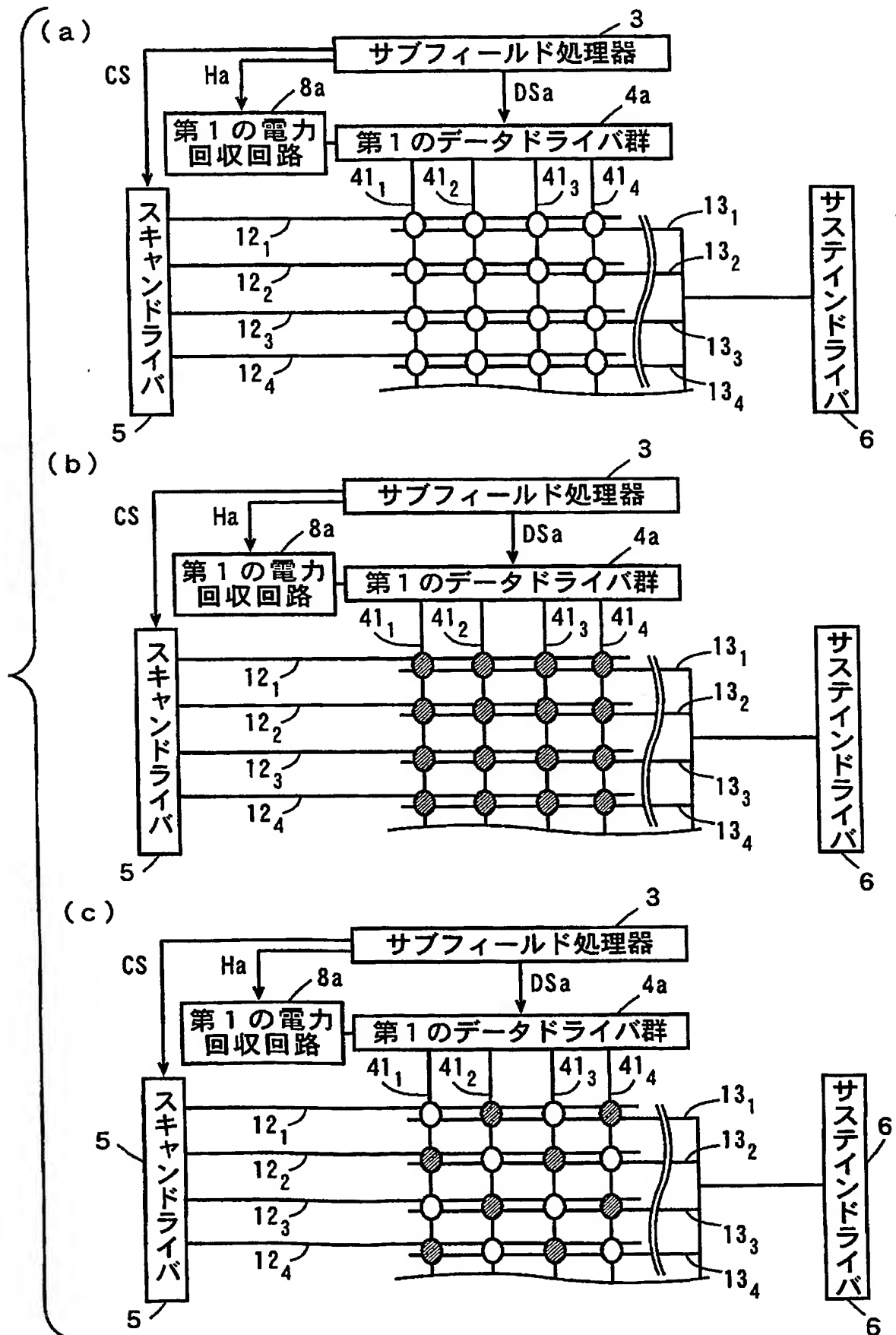
【図6】



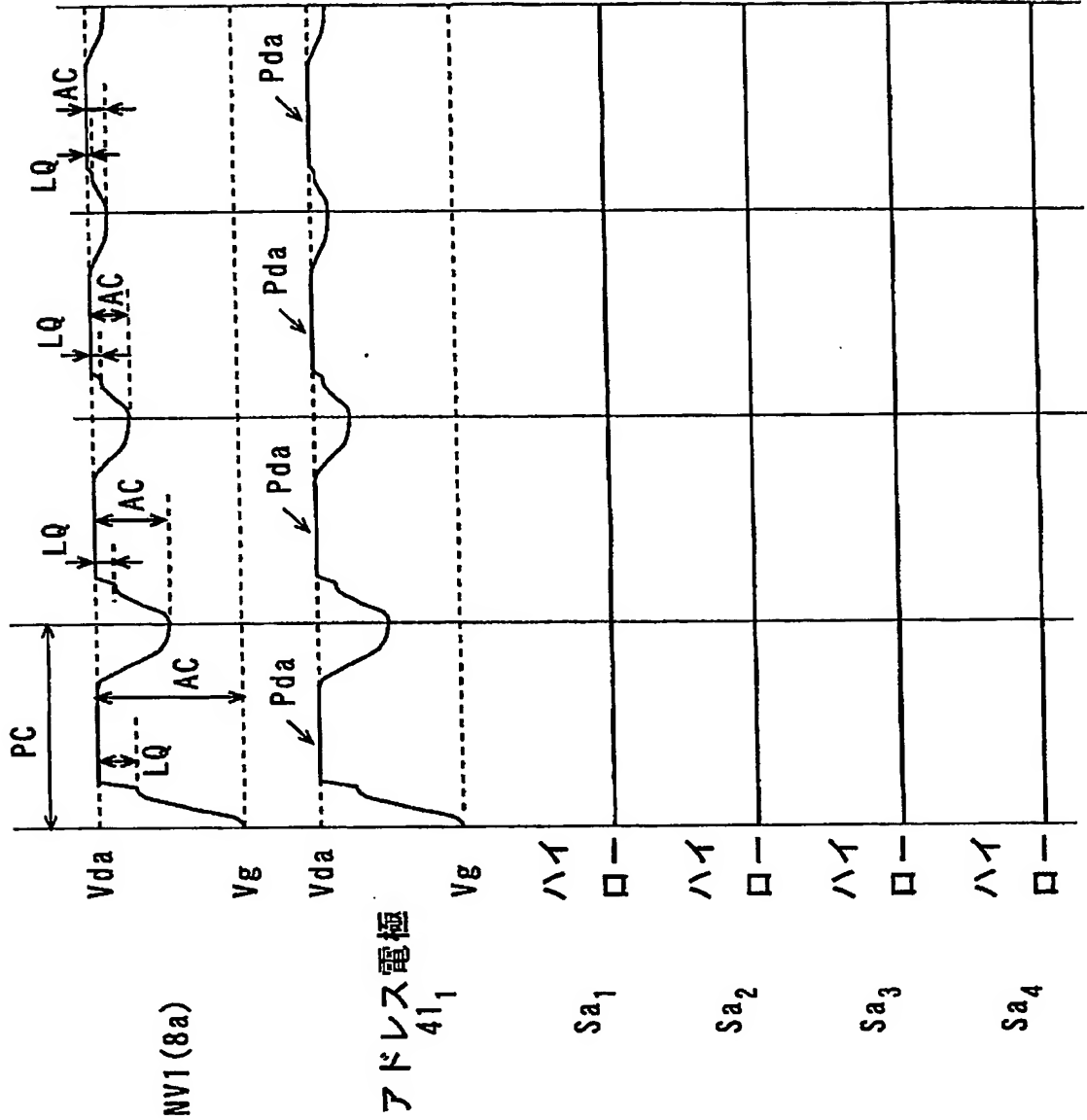
【図 7】



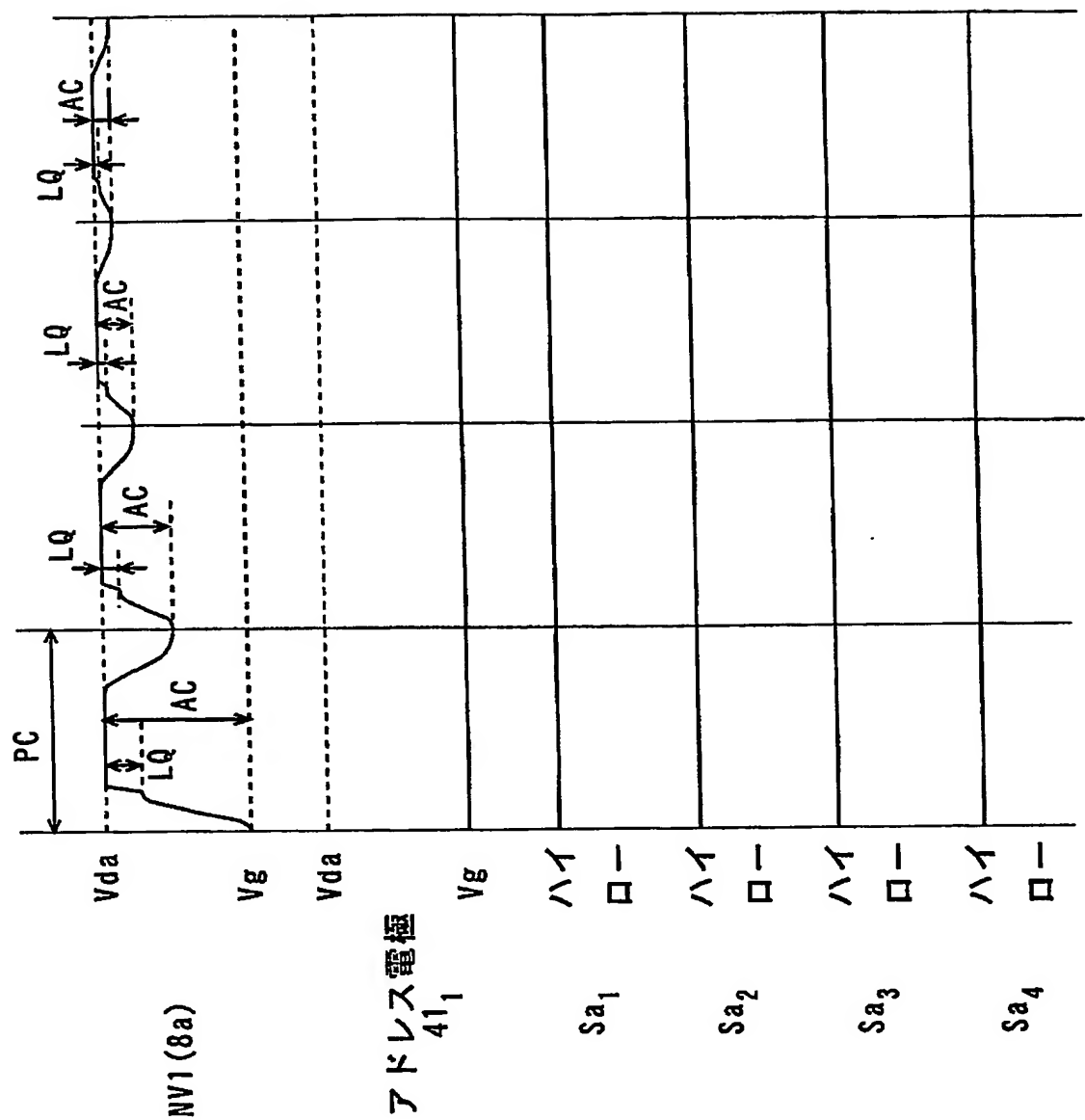
【図8】



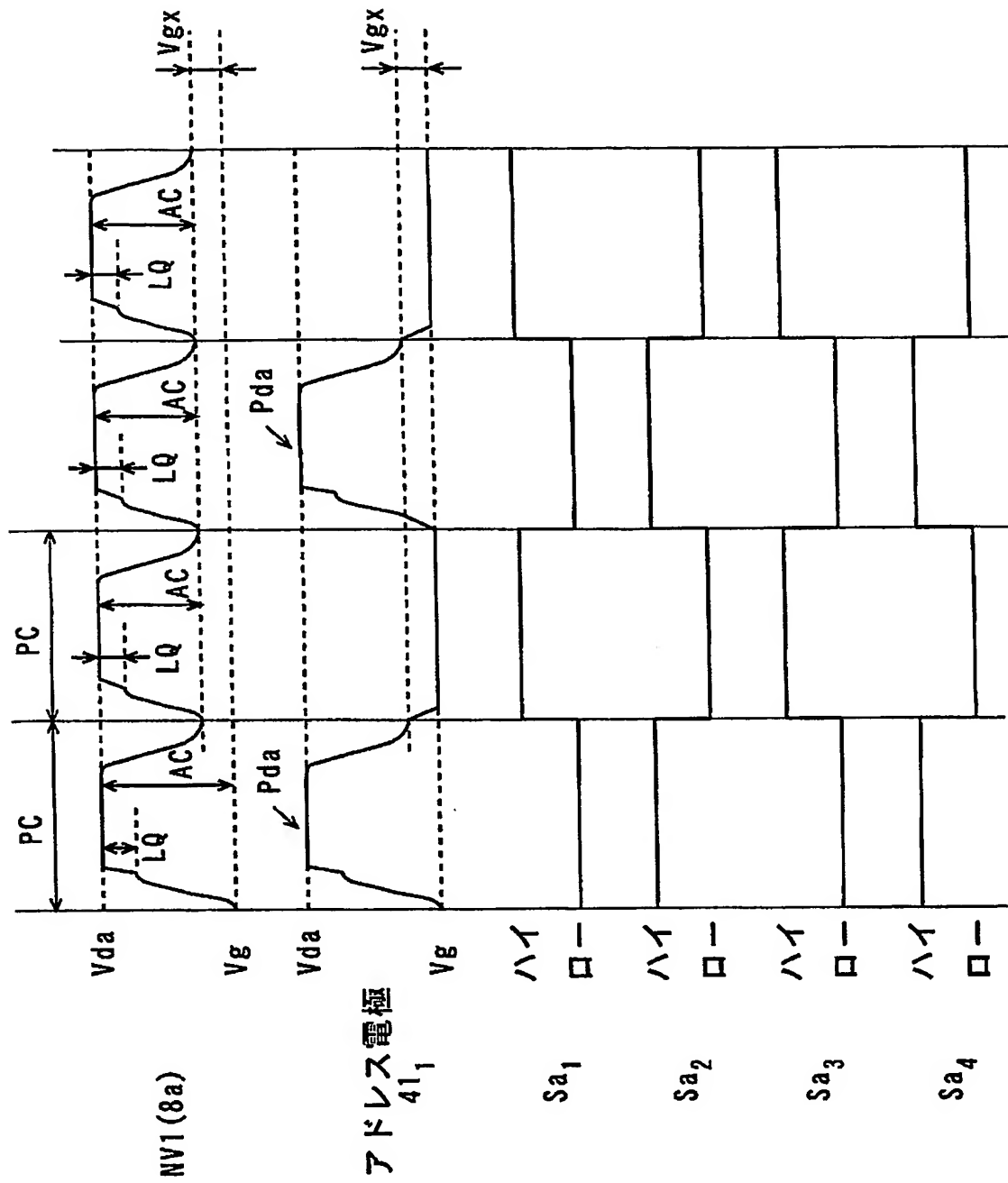
【図9】



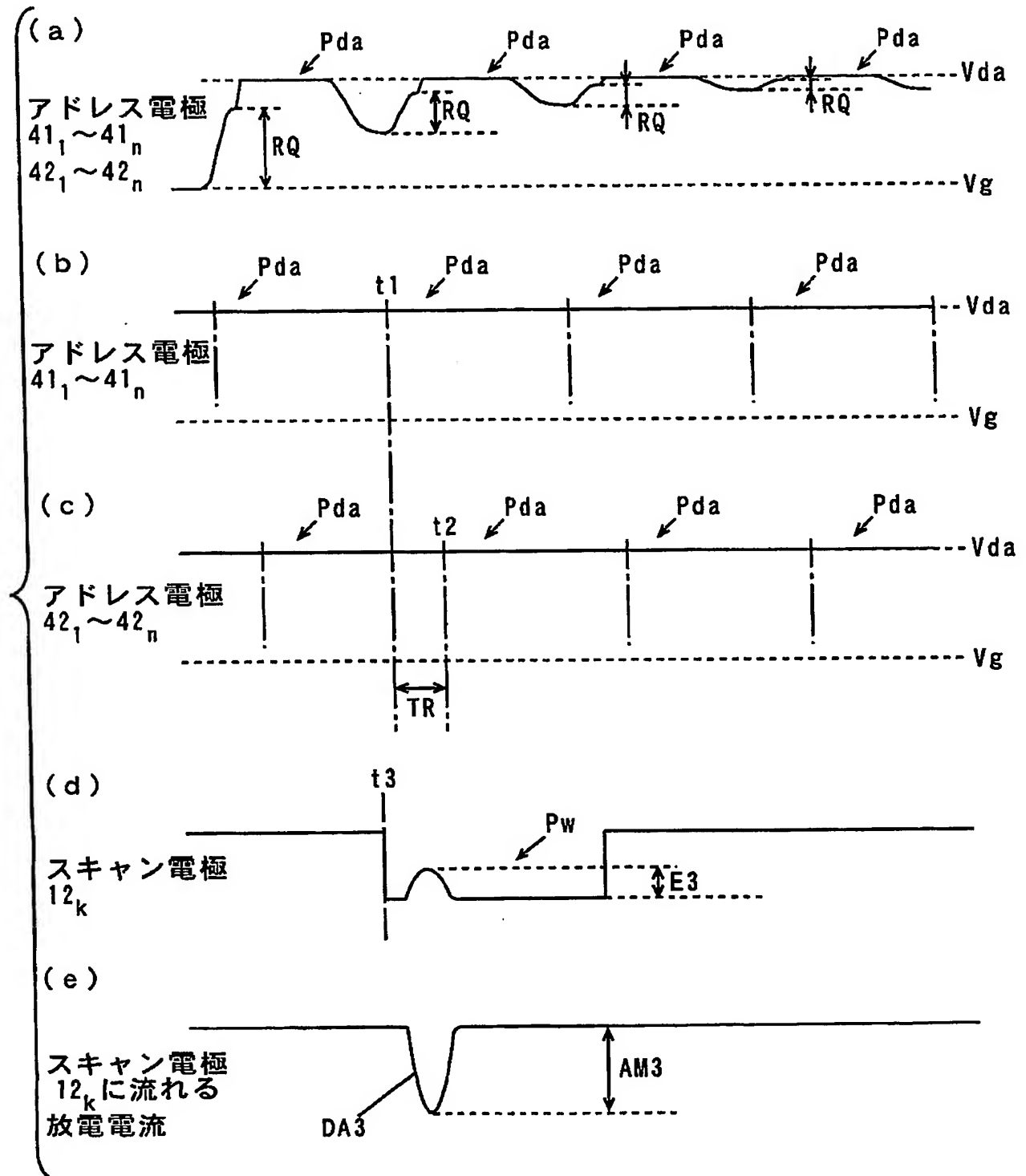
【図10】



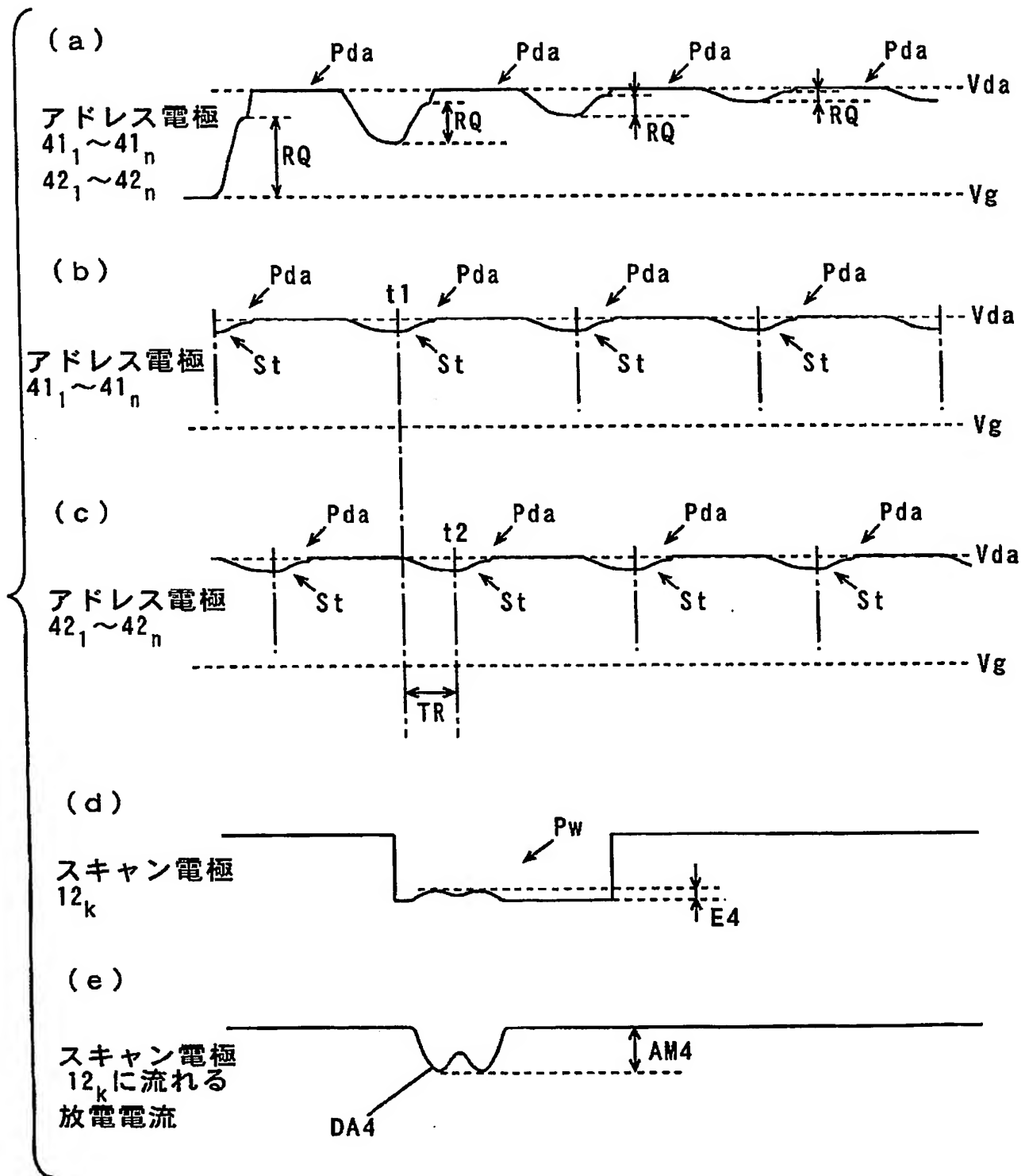
【図11】



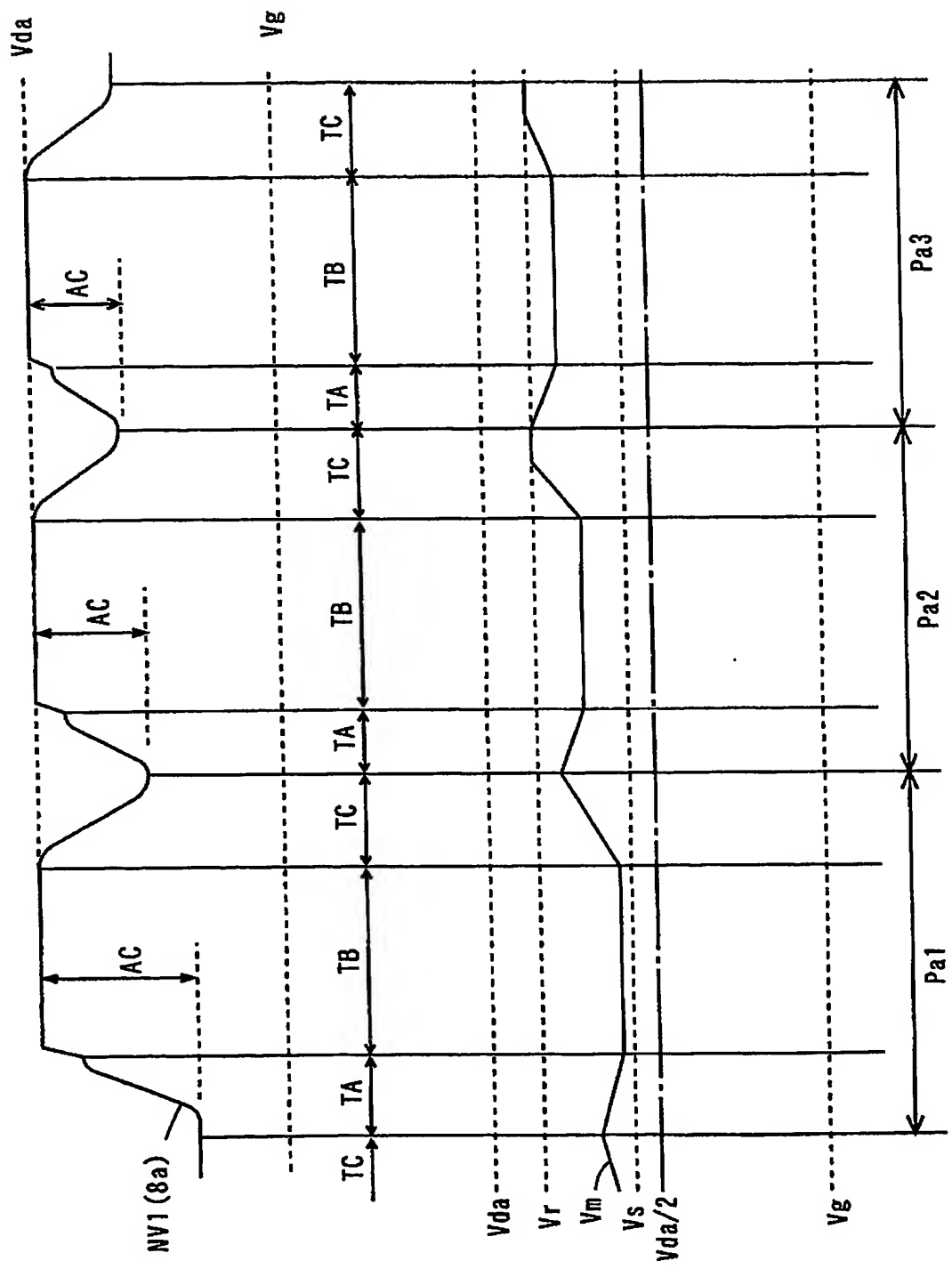
【図 12】



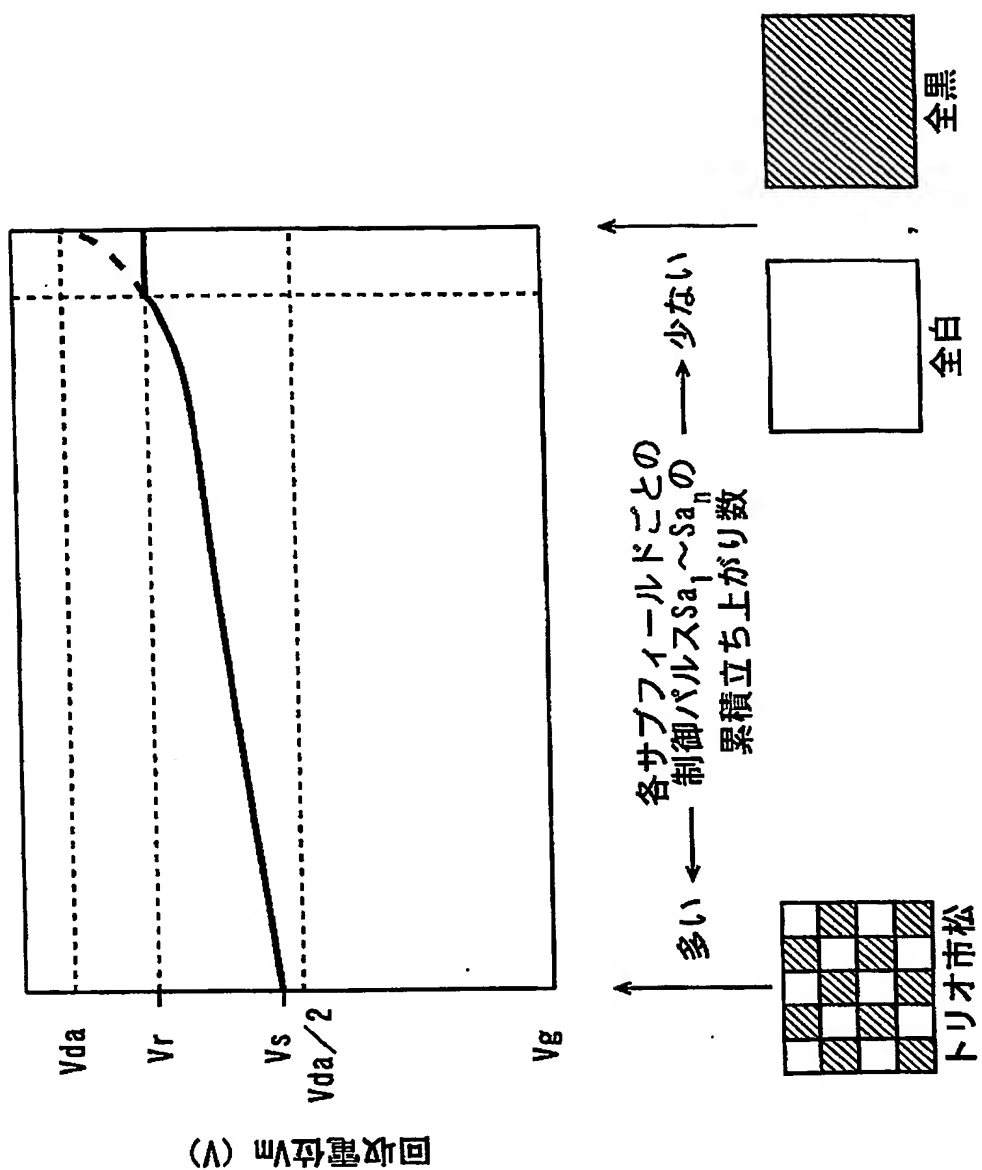
【図13】



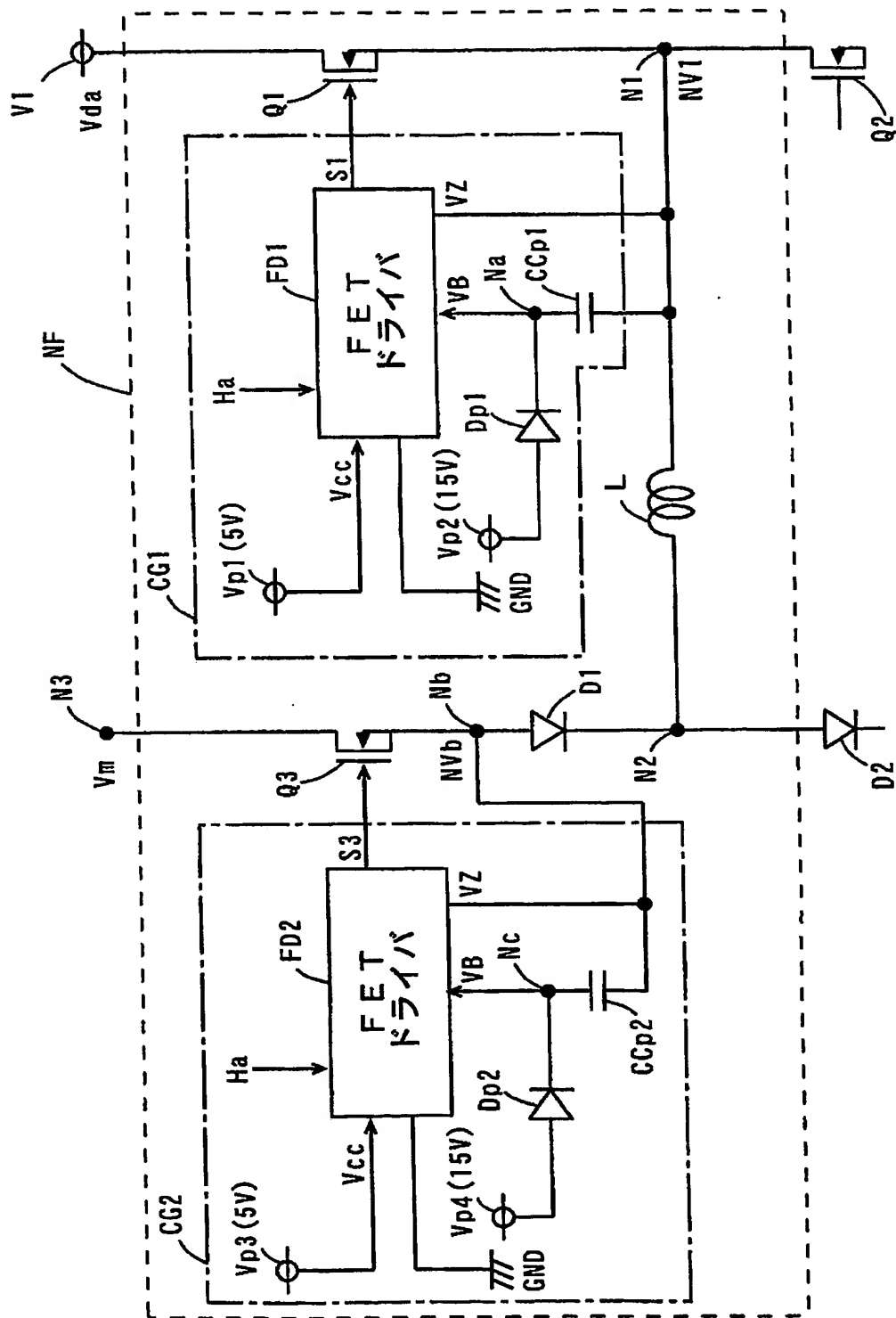
【図14】



【図 15】

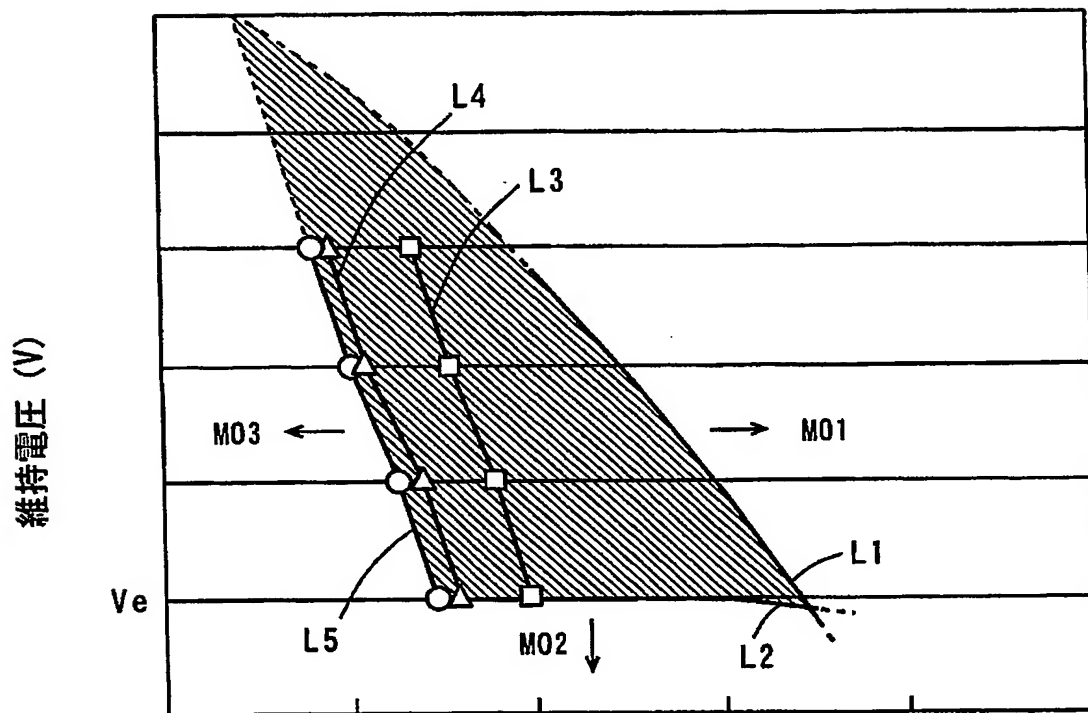


【图 16】



【図 17】

駆動マージン ($V_r=0.8V_{da}$ の場合)

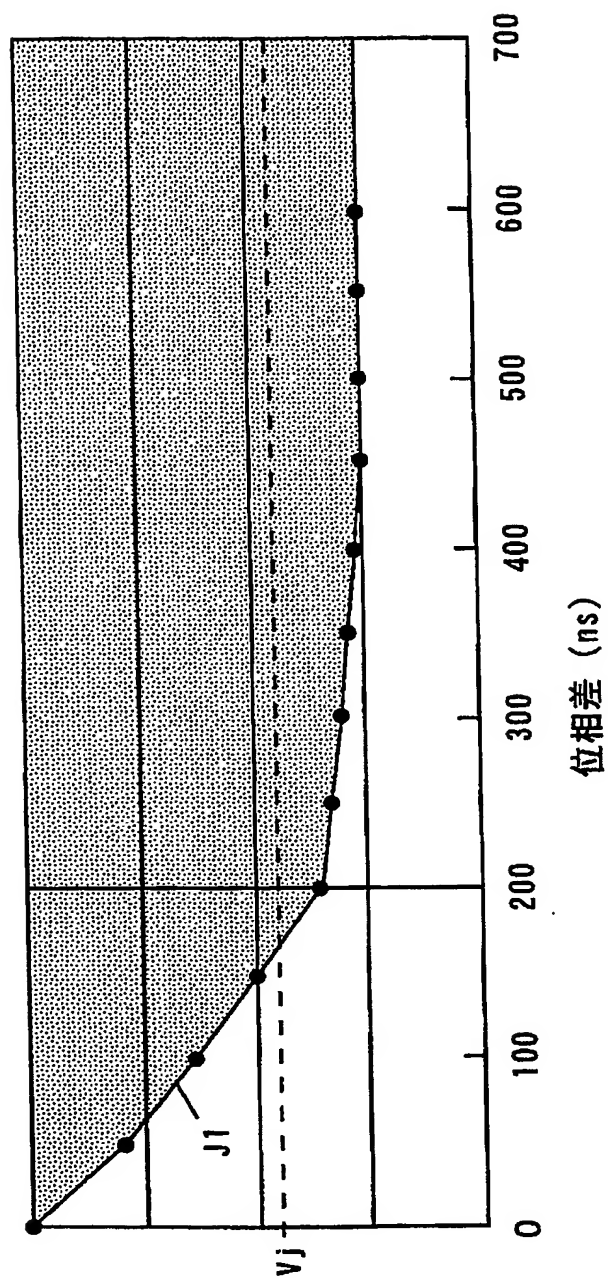


書き込み電圧 (V)

- : 位相差 0
- △— : 位相差 150nsec
- : 位相差 200nsec

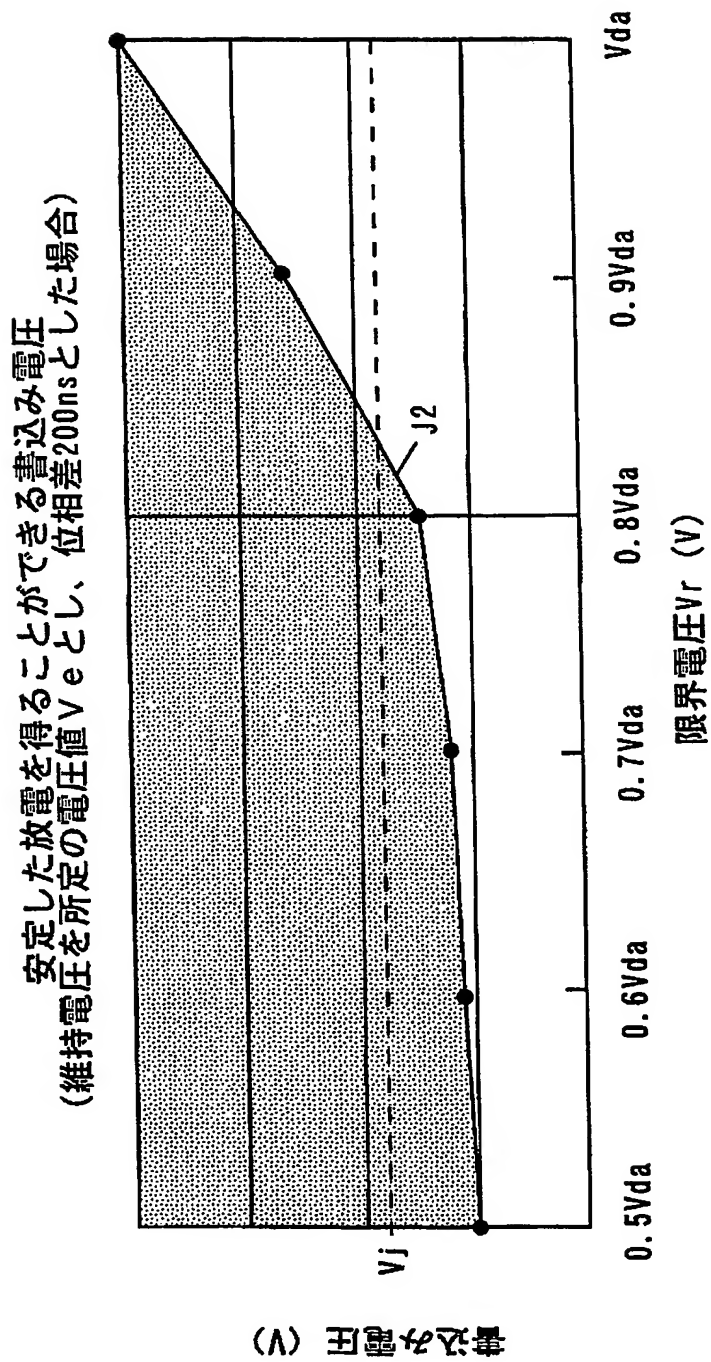
【図 18】

安定した放電を得ることができる書込み電圧
(維持電圧を所定の電圧値 V_e とし、 $V_r=0.8V_{da}$ とした場合)



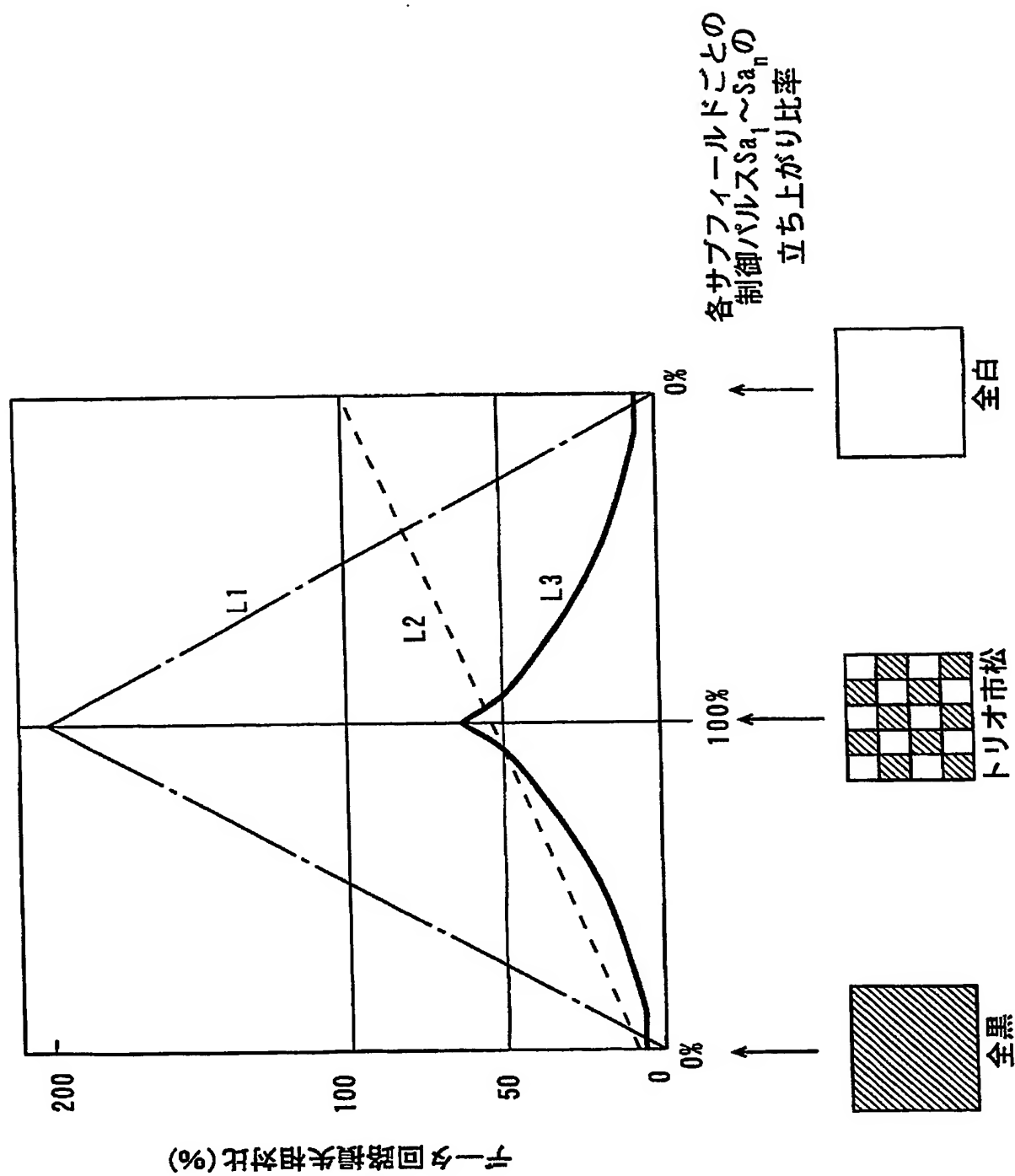
(A) 書込み電圧 (V)

【図 19】

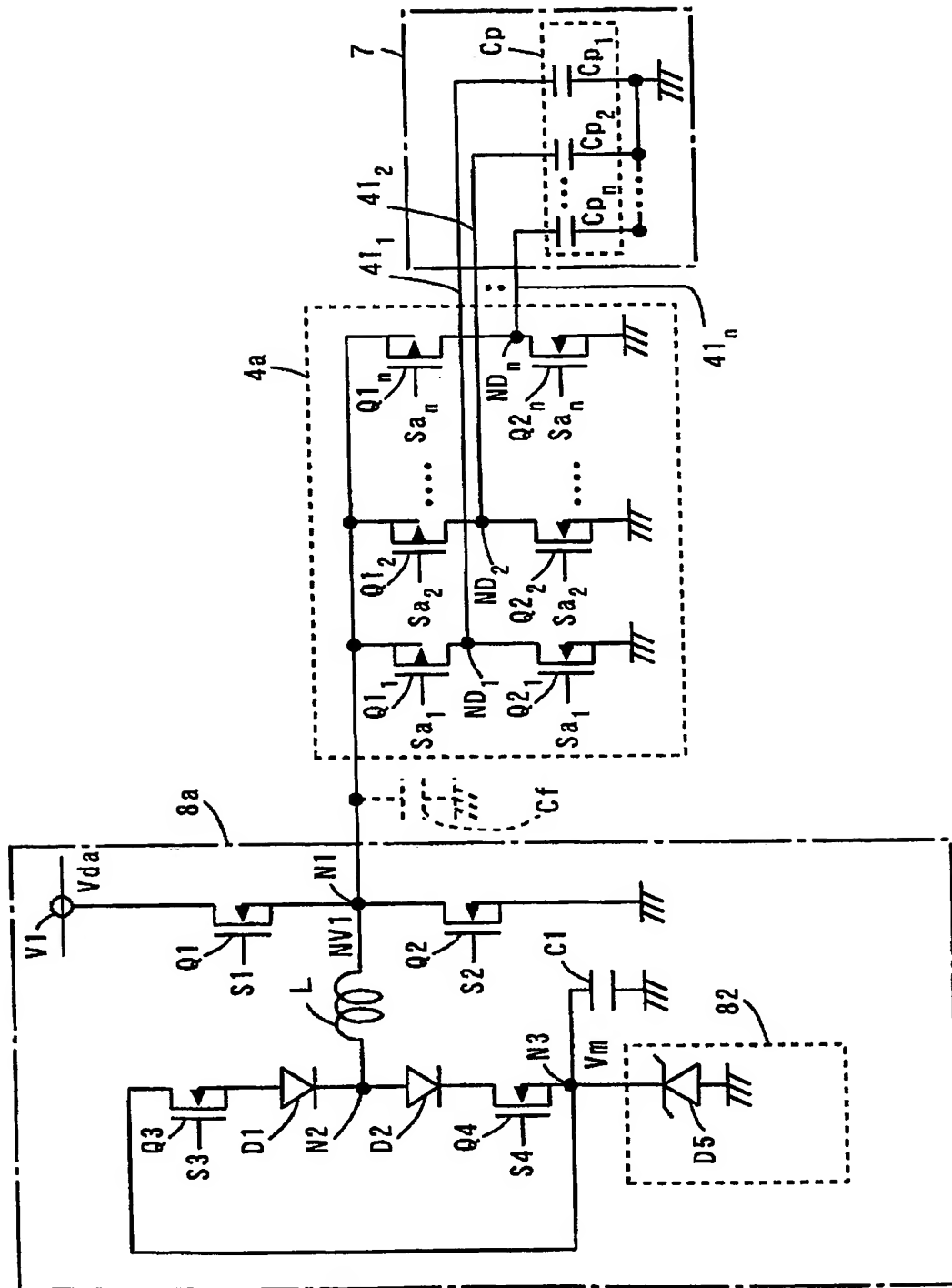


(A) 書き込み電圧 (V)

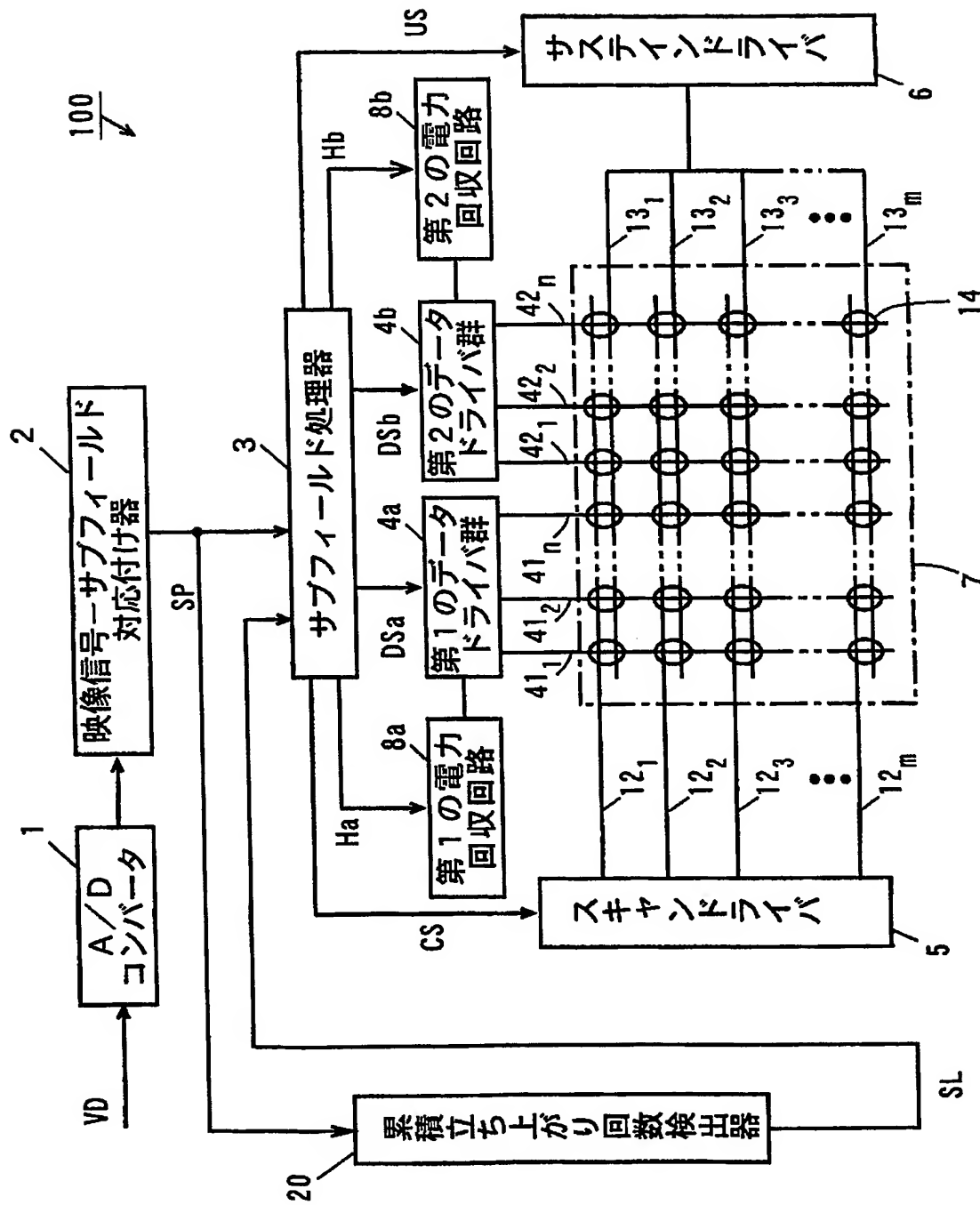
【図 20】



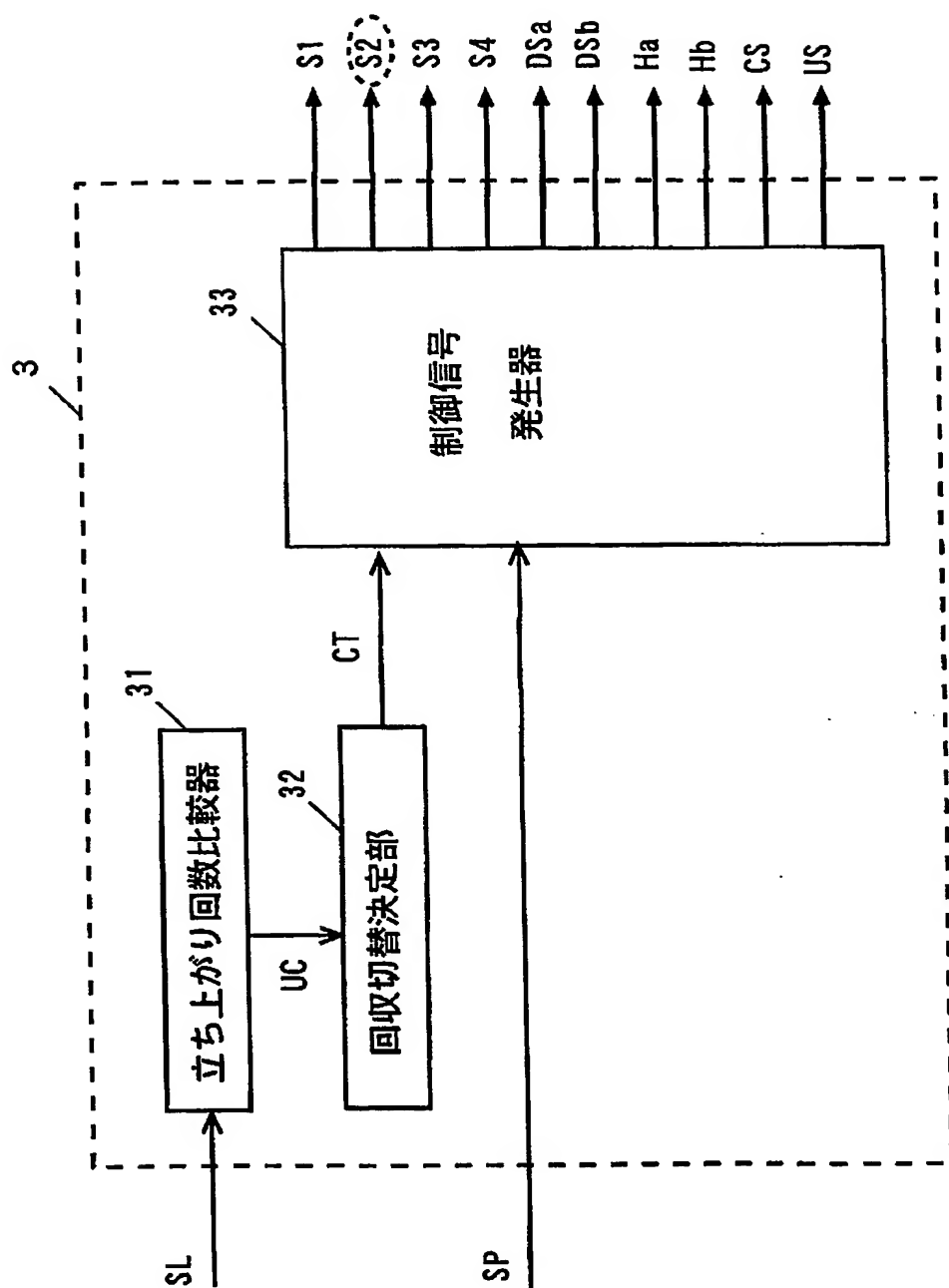
【図 2 2】



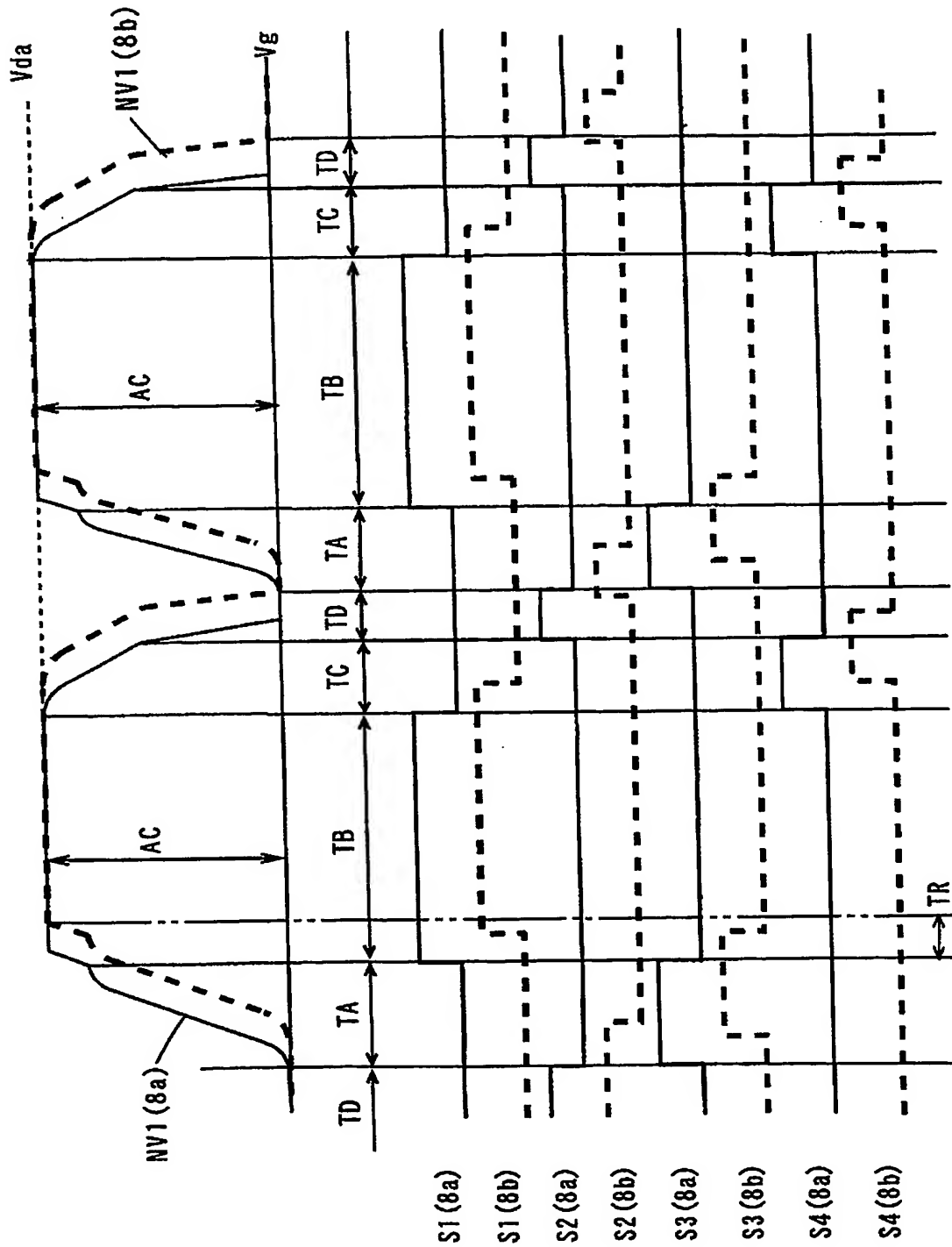
【図 23】



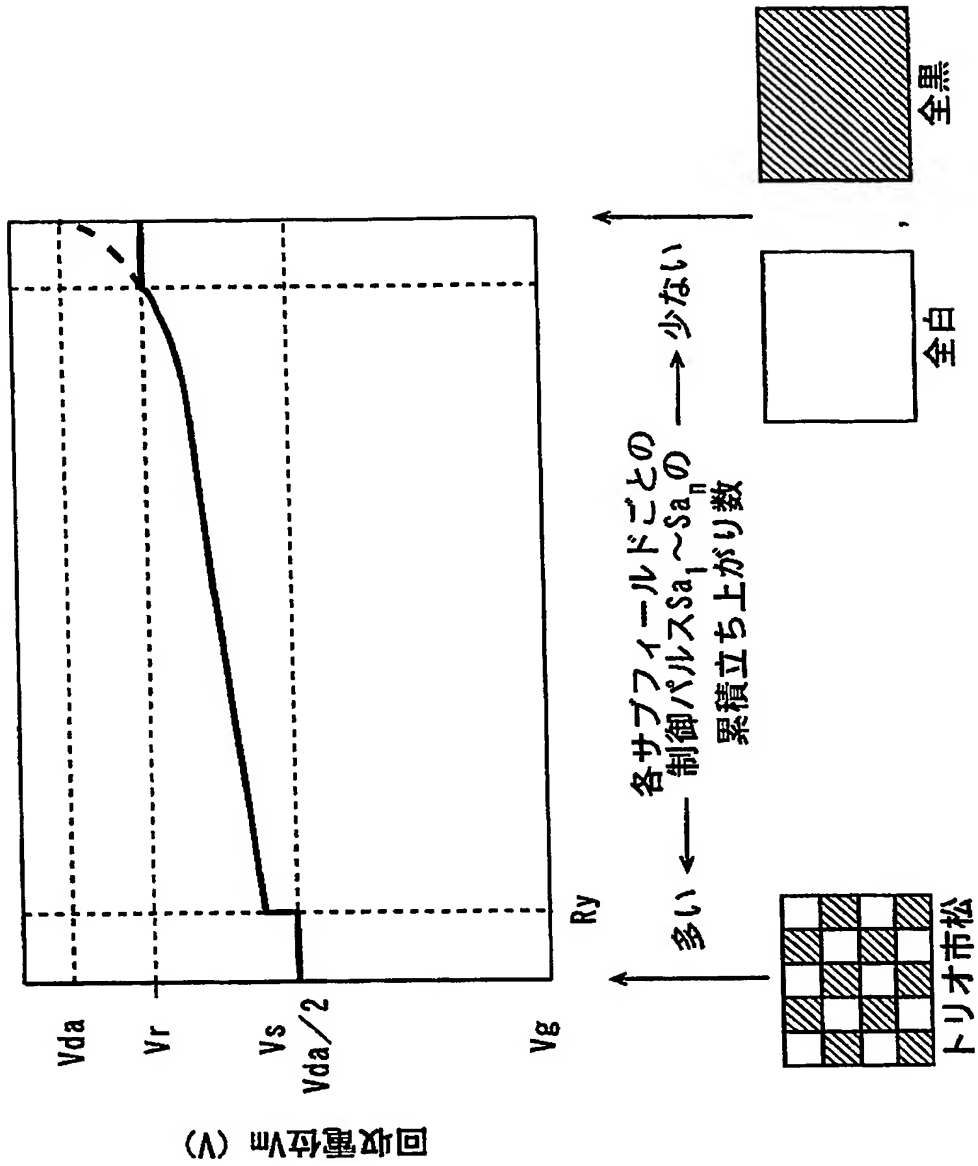
【図 24】



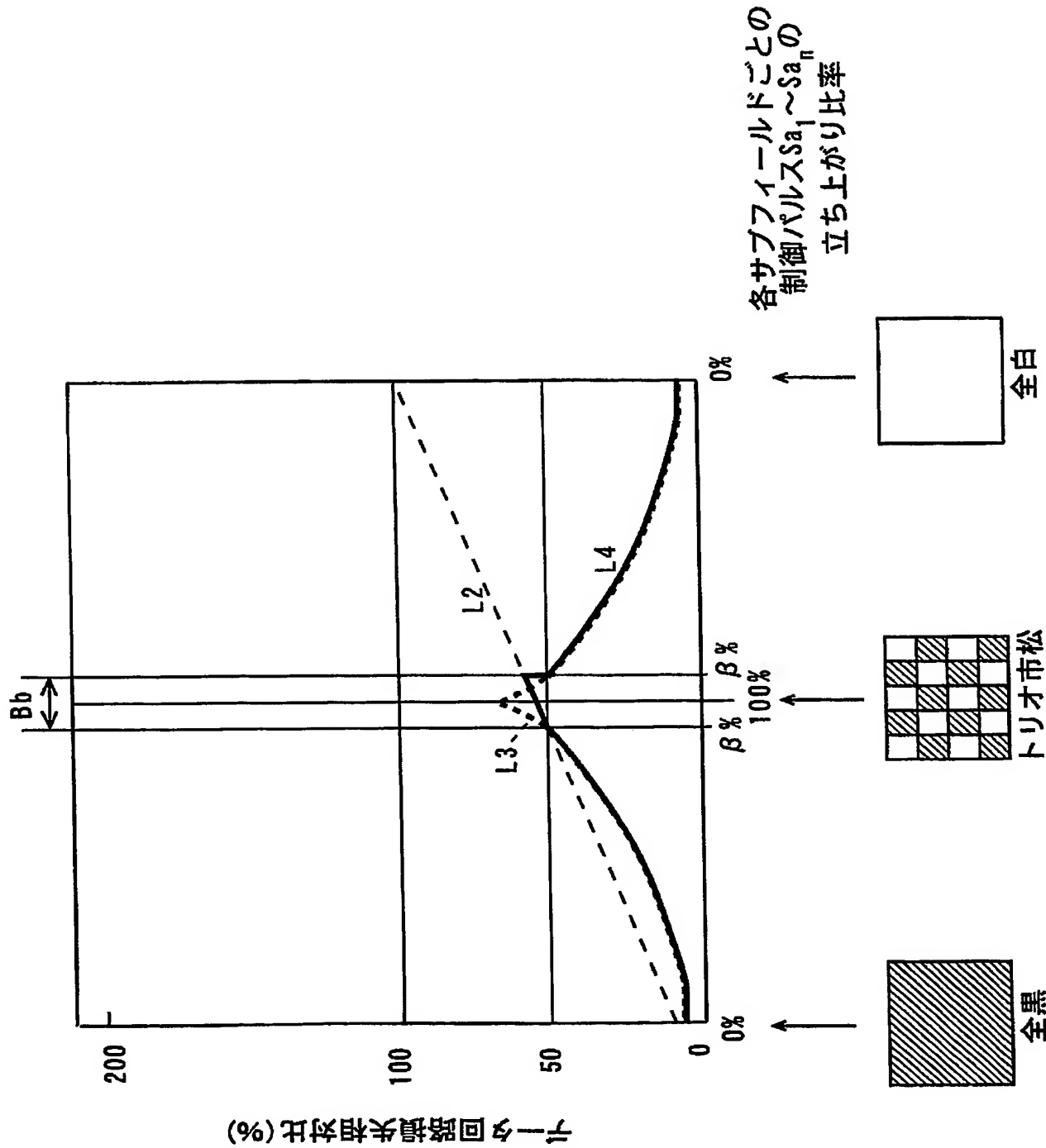
【図25】



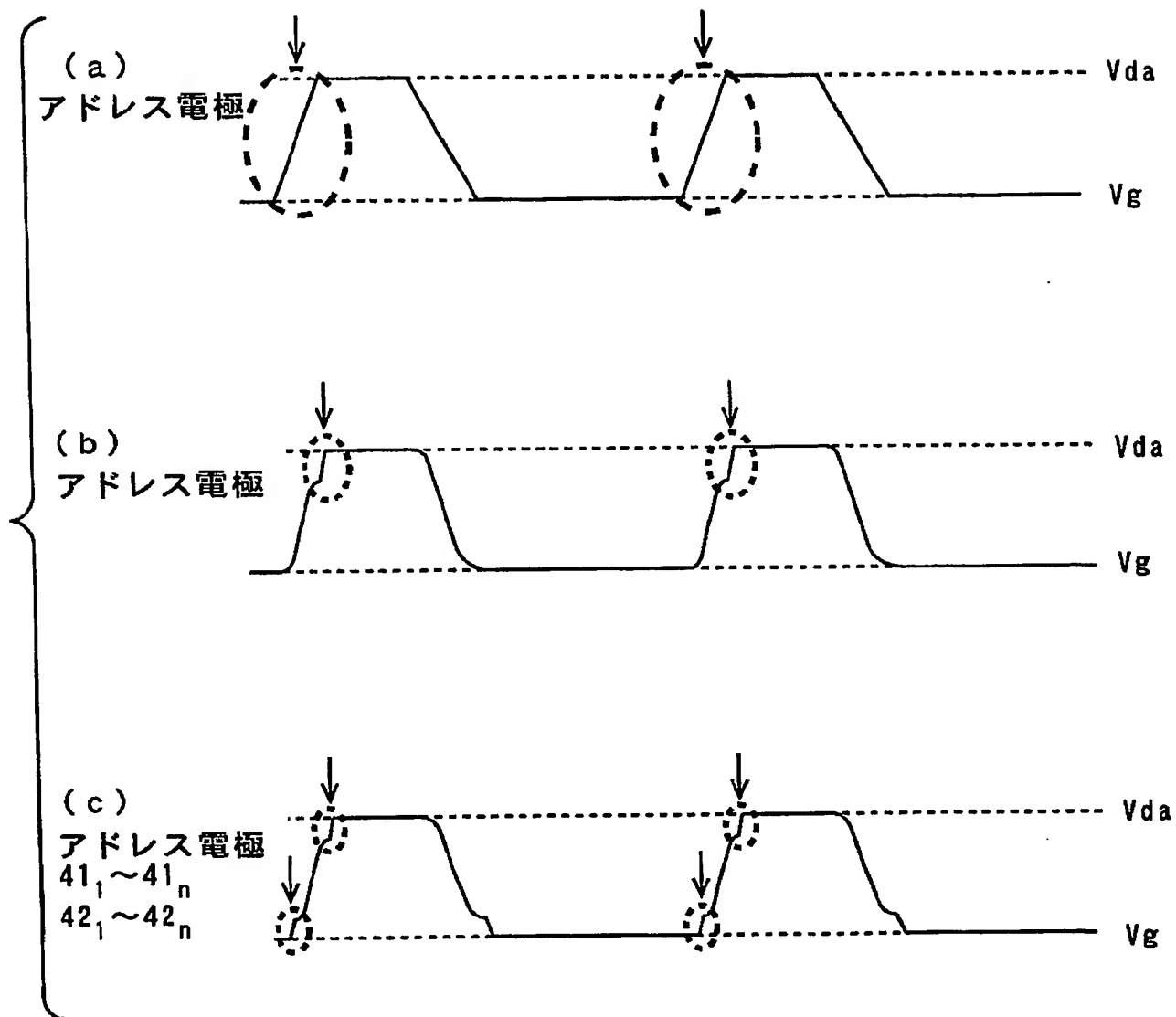
【図 26】



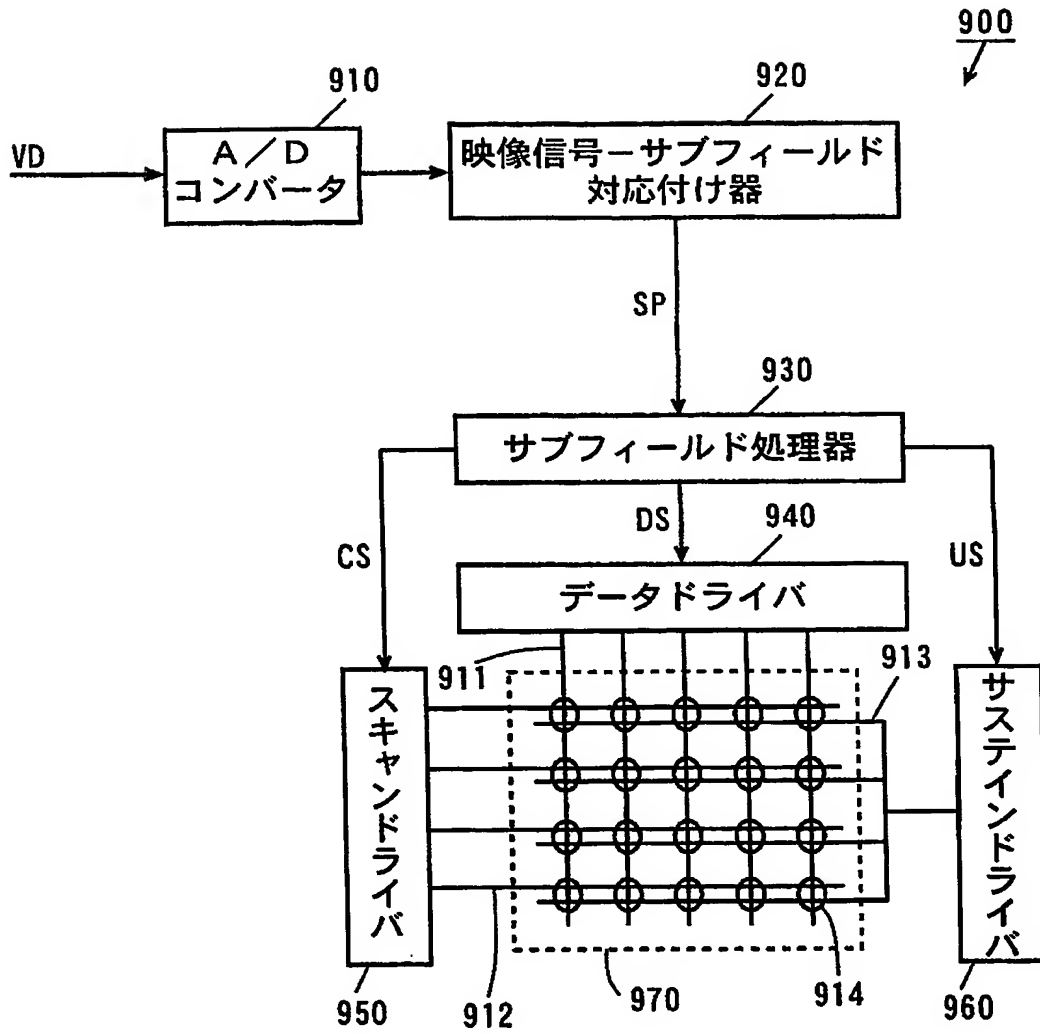
【図 27】



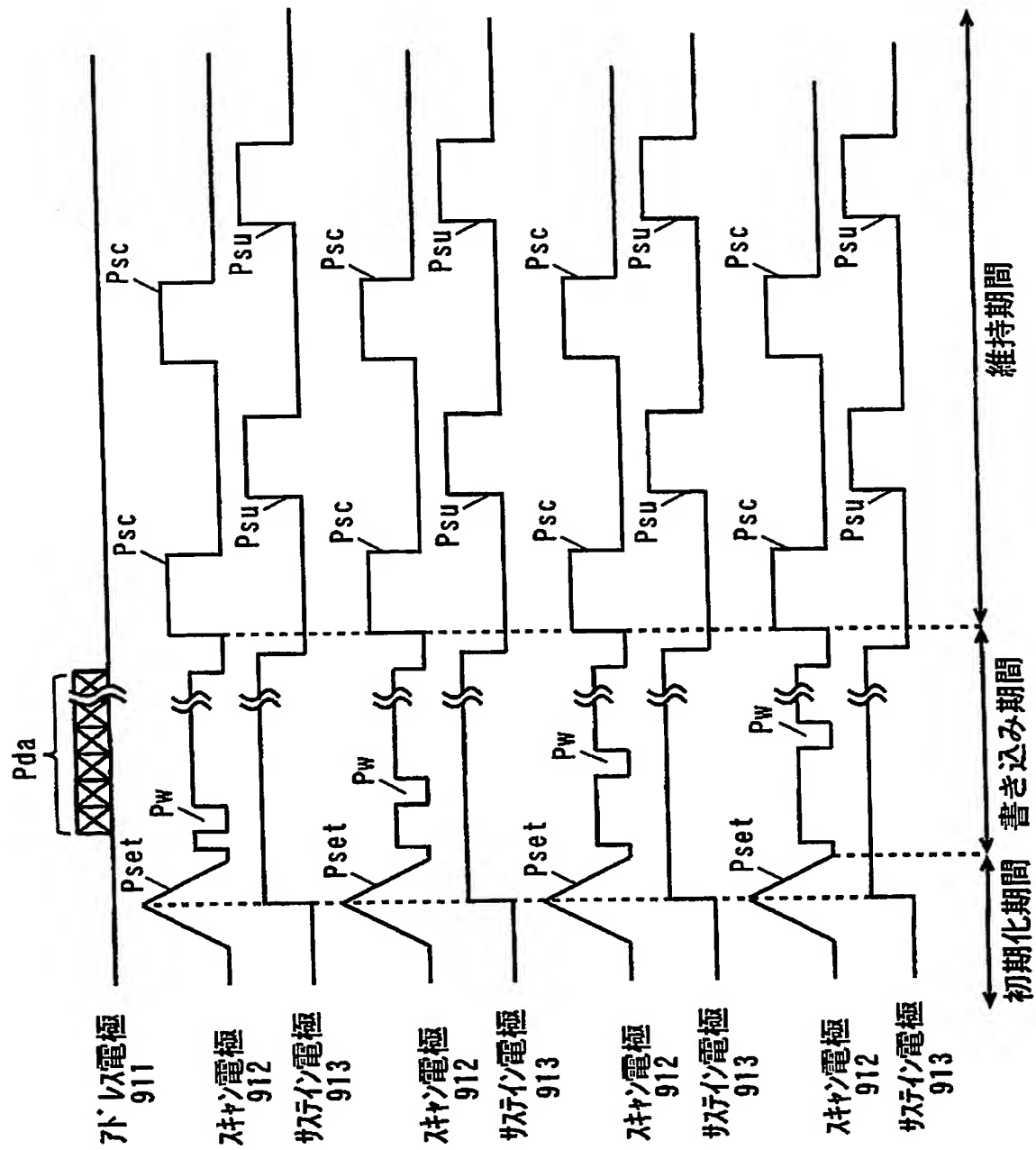
【図 28】



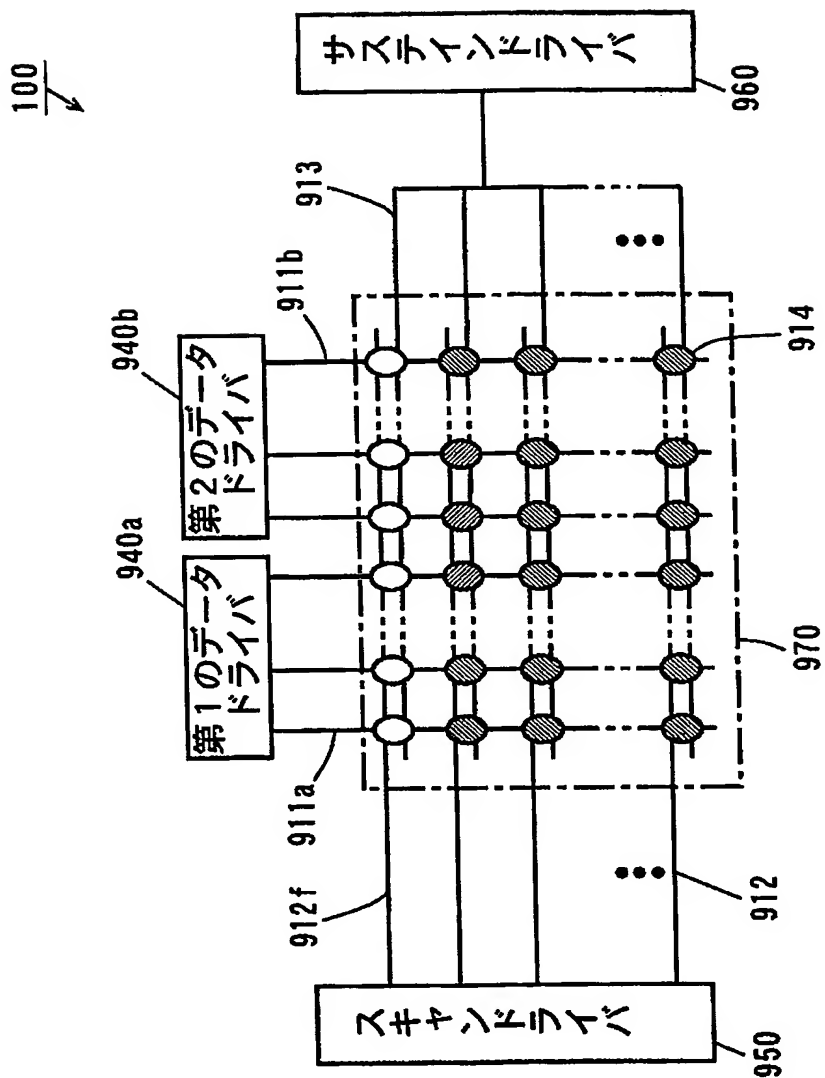
【図 29】



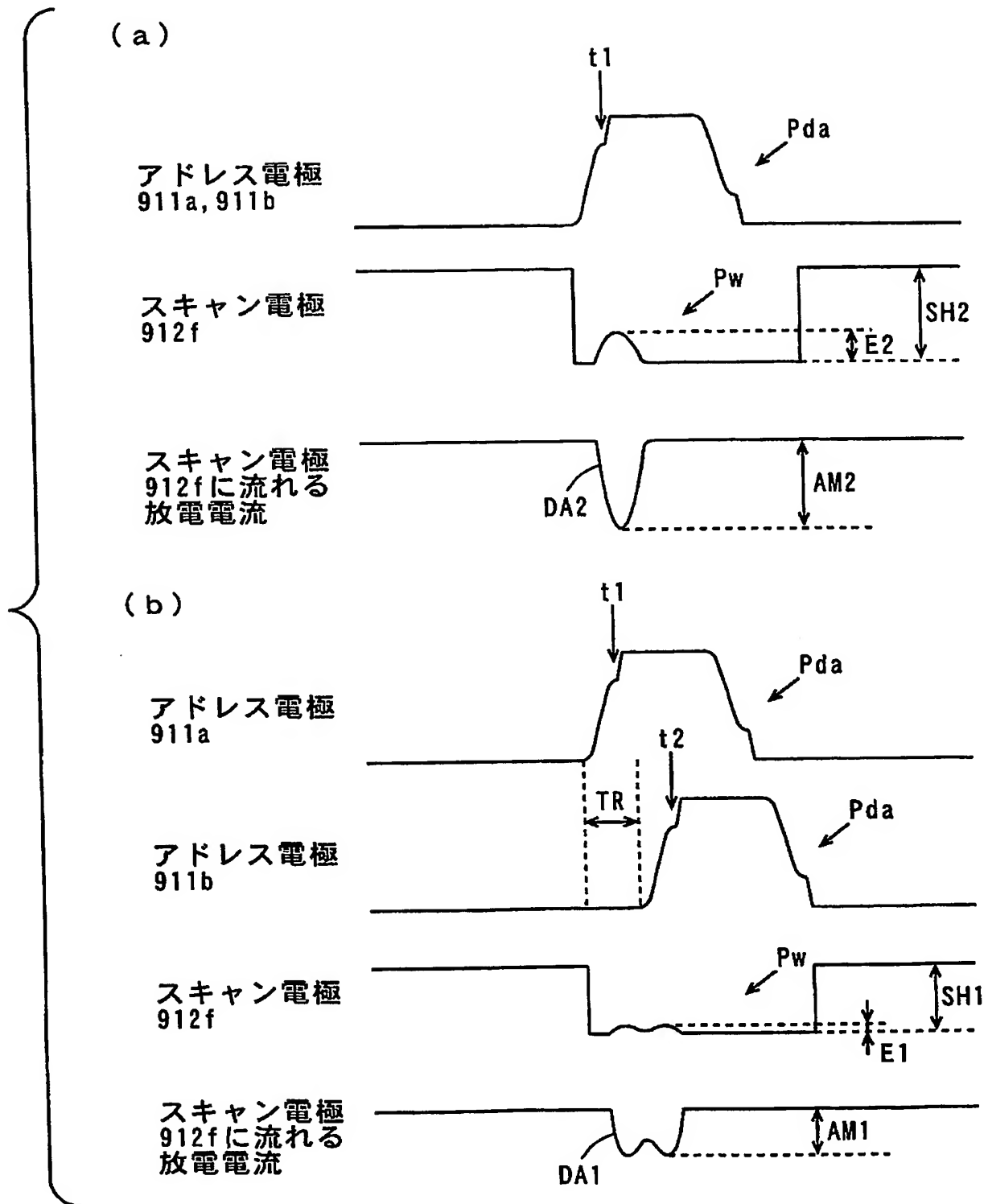
【図30】



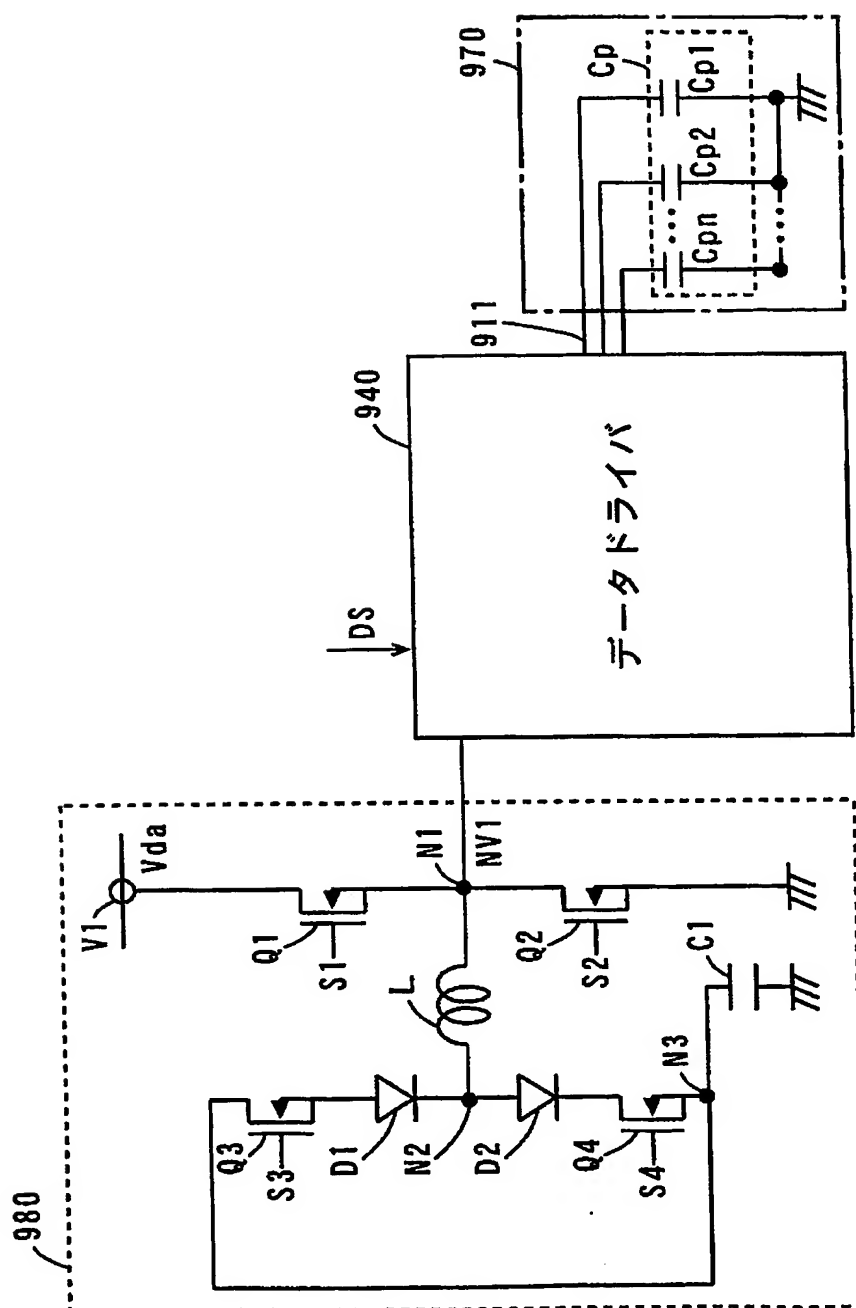
【図 31】



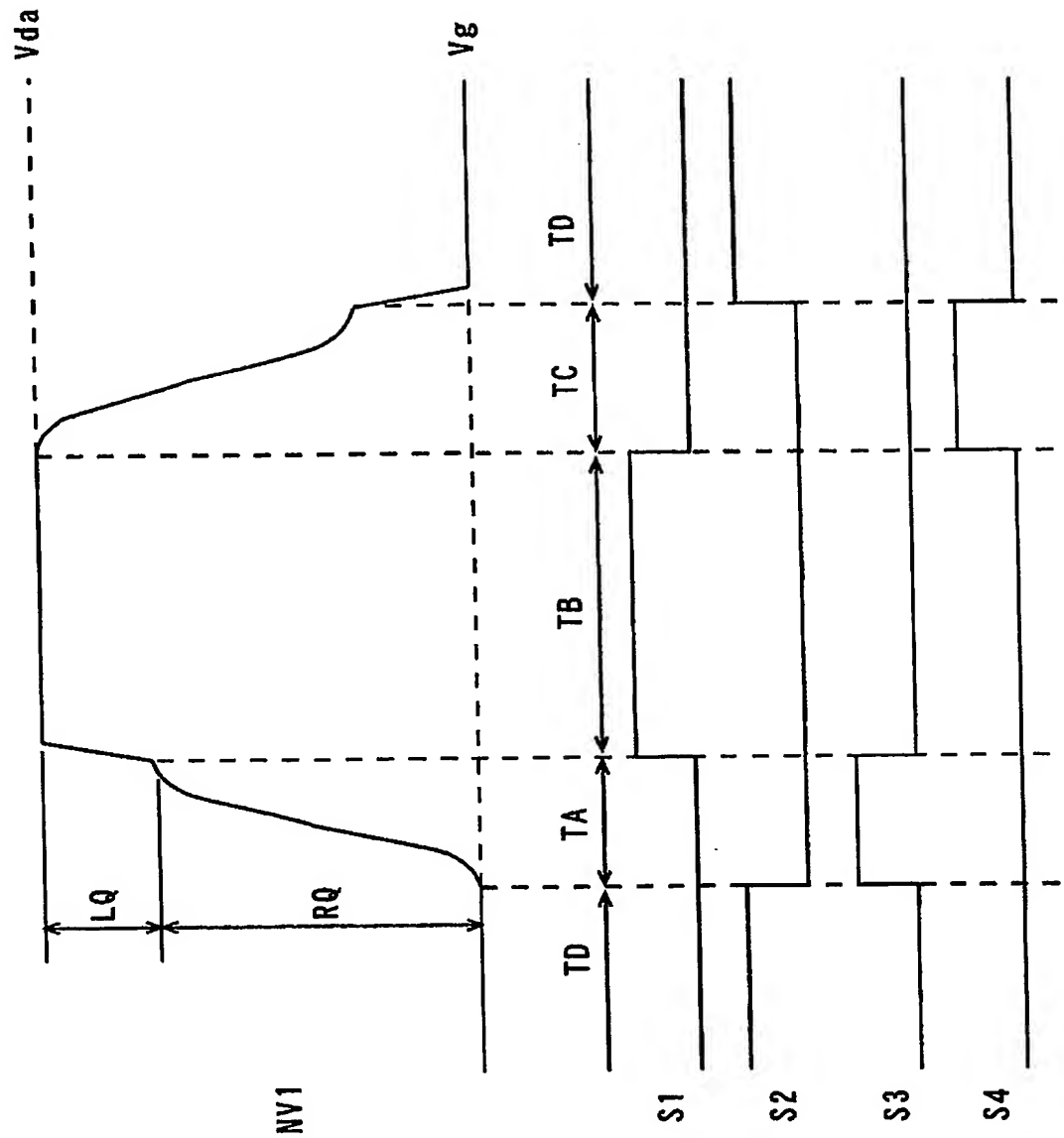
【図 32】



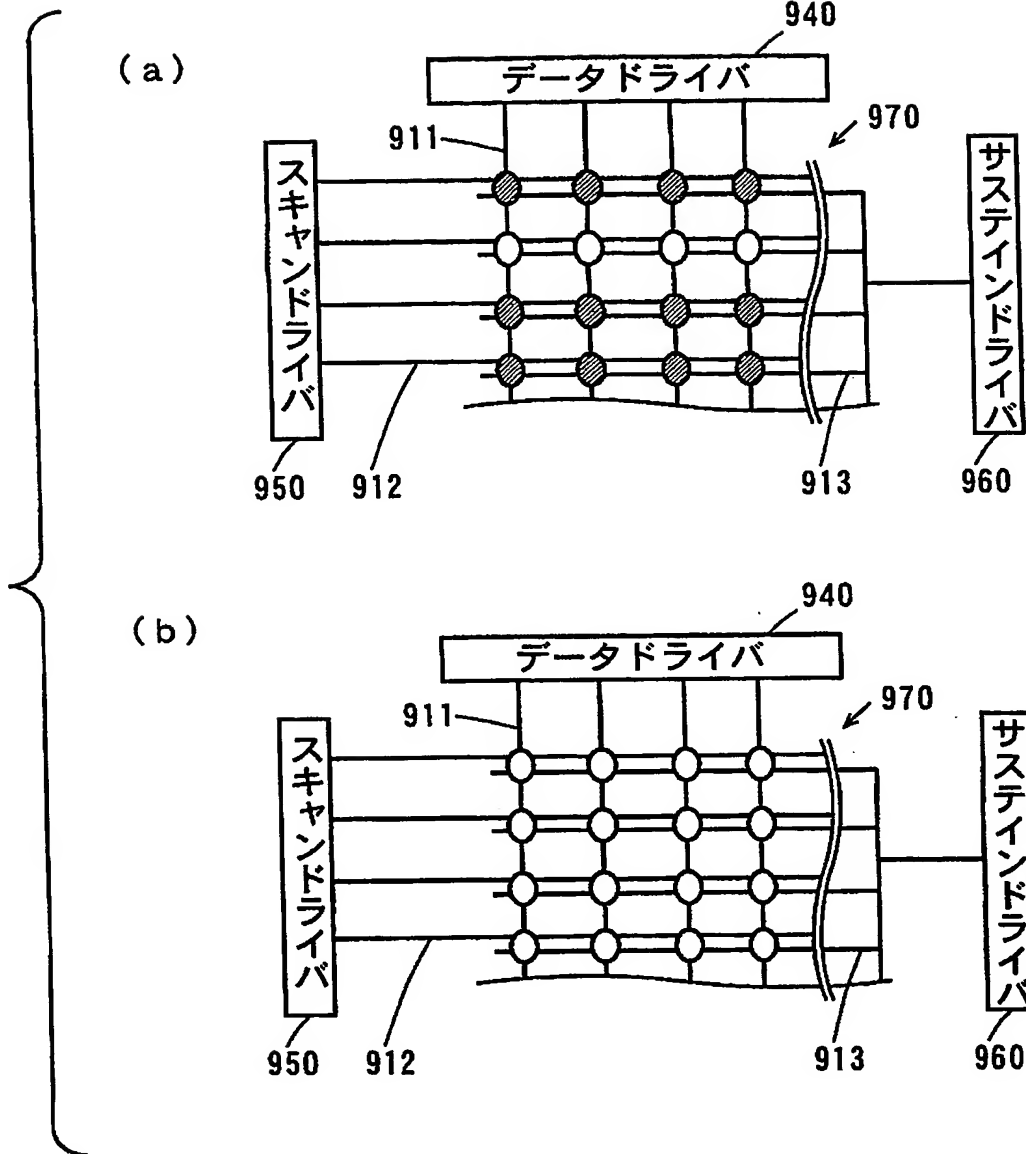
【圖 3 3】



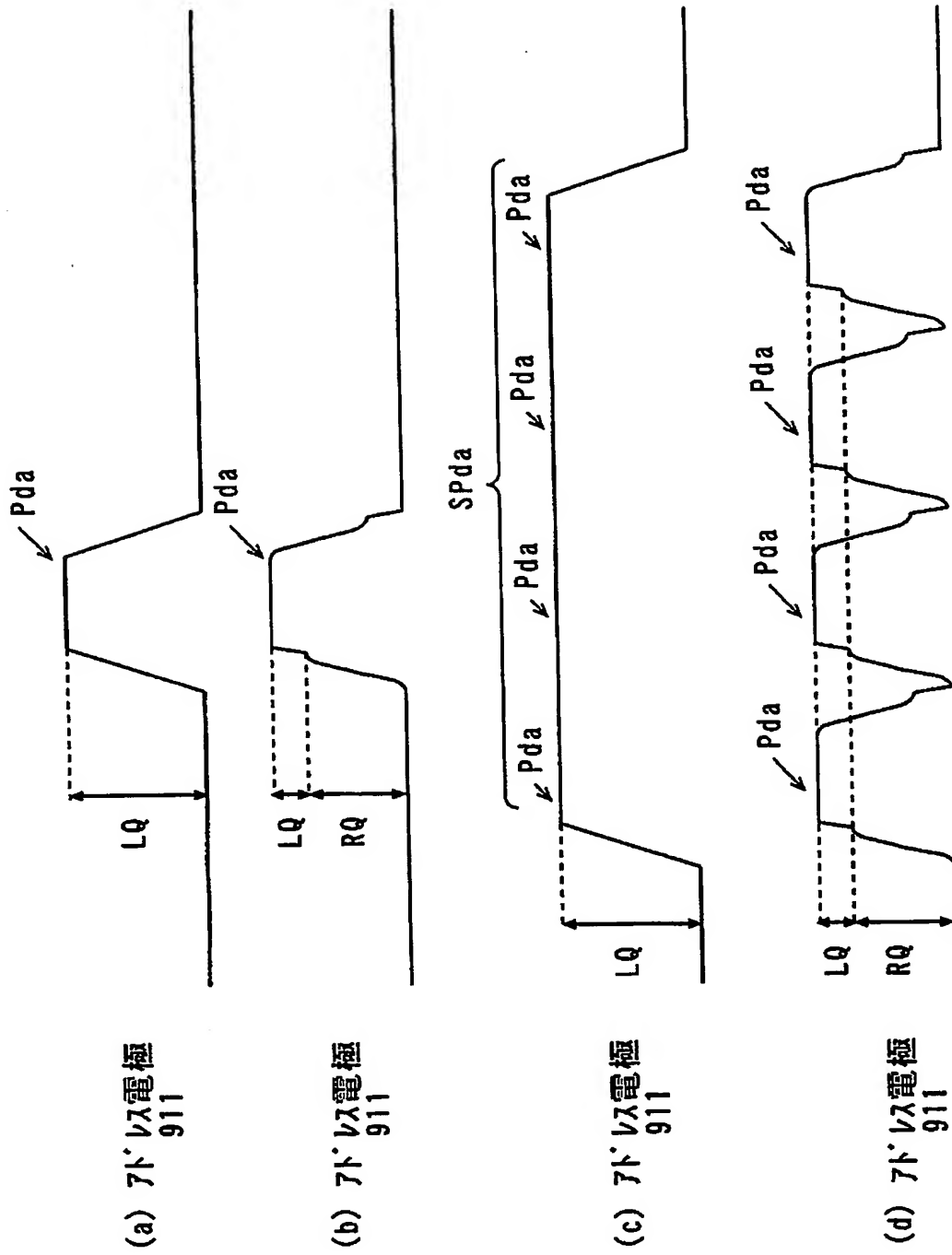
【図 34】



【図 35】



【図36】



【書類名】 要約書**【要約】**

【課題】 消費電力を十分に低減しつつ安定した放電を行うことができる表示装置およびその駆動方法を提供する。

【解決手段】 第1のデータドライバ群4aは、サブフィールド処理器3、第1の電力回収回路8aおよびPDP7に接続され、第2のデータドライバ群4bは、サブフィールド処理器3、第2の電力回収回路8bおよびPDP7に接続されている。第1および第2のデータドライバ群4a、4bは、PDP7へ互いに位相が異なるデータパルスを印加する。第1および第2の電力回収回路8a、8bは、LC共振により第1および第2のデータドライバ群4a、4bにデータパルスを生成するための電圧を発生し、PDP7への電荷の放出およびPDP7からの電荷の回収を行う。回収コンデンサの回収電位は、PDP7の放電セル14の放電と非放電との切り替わり回数に応じて変化する。

【選択図】 図1

特願 2 0 0 4 - 1 6 0 1 9 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社